



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Toshio ITO :

Serial No.: [NEW] :

Filed: June 10, 2004 : Attorney Docket No. OKI.639

For: FERROELECTRIC CAPACITOR AND SEMICONDUCTOR DEVICE
HAVING A FERROELECTRIC CAPACITOR

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Missing Parts
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2003-024772 filed January 31, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: June 10, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 3 1 日
Date of Application:

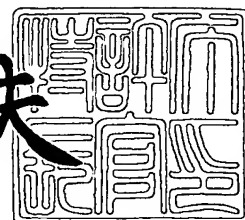
出 願 番 号 特 願 2 0 0 3 - 0 2 4 7 7 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 2 4 7 7 2]

出 願 人 沖電気工業株式会社
Applicant(s):

2 0 0 4 年 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 OH003805

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/10 451

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

【氏名】 伊東 敏雄

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体キャパシタ、強誘電体キャパシタを具える半導体装置、強誘電体キャパシタの製造方法及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 主表面を有する板状部、及び該主表面上に設けられた、頂面を有する凸部を具える下部電極膜を形成する下部電極膜形成工程と、

前記凸部の周囲の、前記板状部の主表面を覆い、かつその表面が前記頂面と実質的に同一面位置となる厚みで常誘電体膜を形成する常誘電体膜形成工程と、

露出している前記頂面上から、前記常誘電体膜上のうち、前記板状部の主表面と前記常誘電体膜を介して対向する領域に亘って、強誘電体膜を形成する強誘電体膜形成工程と、

前記強誘電体膜上のうち、前記頂面と対向する領域から、前記板状部の主表面と前記常誘電体膜及び前記強誘電体膜を介して対向する領域に亘って、上部電極膜を形成する上部電極膜形成工程と、

前記強誘電体膜に対しエッチングを行って、前記強誘電体膜のうち、前記凸部の上側部分と、前記常誘電体膜と接触しかつ該上側部分を所定幅で取り囲む部分とを残存させるエッチング工程と

を含むことを特徴とする強誘電体キャパシタの製造方法。

【請求項 2】 主表面を有する板状部、及び該主表面上に設けられた、頂面を有する凸部を複数具える下部電極膜を形成する下部電極膜形成工程と、

前記凸部の周囲の、前記板状部の主表面を覆い、かつその表面が各々の前記頂面と実質的に同一面位置となる厚みで常誘電体膜を形成する常誘電体膜形成工程と、

露出している複数の前記頂面上から、前記絶縁膜上のうち、前記板状部の主表面と前記常誘電体膜を介して対向する領域に亘って、強誘電体膜を形成する強誘電体膜形成工程と、

前記強誘電体膜上のうち、各々の前記頂面と対向する領域から、前記板状部の主表面と前記常誘電体膜及び前記強誘電体膜を介して対向する領域に亘って、上部電極膜を形成する上部電極膜形成工程と、

前記強誘電体膜に対しエッチングを行って、前記強誘電体膜のうち、前記凸部の上側部分と、前記常誘電体膜と接触しかつ該上側部分を所定幅で取り囲む部分とを残存させるエッチング工程と、

前記上部電極膜を、各々の前記凸部に対応する、個別の島状の上部電極膜に分離する上部電極膜分離工程と

を含むことを特徴とする強誘電体キャパシタの製造方法。

【請求項 3】 請求項 1 または 2 に記載の強誘電体キャパシタの製造方法において、前記エッチング工程では、前記上部電極膜、前記強誘電体膜、前記常誘電体膜及び前記下部電極膜の板状部を一括してエッチング除去することを特徴とする強誘電体キャパシタの製造方法。

【請求項 4】 請求項 1 ないし 3 のいずれか一項に記載の強誘電体キャパシタの製造方法において、前記下部電極膜の形成は、先ず、板状の導電膜を用意し、然る後、該導電膜に対してエッチングして、該導電膜の一部を前記凸部として残存させることにより行うことを特徴とする強誘電体キャパシタの製造方法。

【請求項 5】 請求項 4 に記載の強誘電体キャパシタの製造方法において、前記導電膜を、2 種以上の異なる材料の膜を順次に積層して形成し、及び前記下部電極膜の形成は、互いに異なる材料からなる、2 つの順次に積層された膜の境界までエッチングすることによって行って、前記凸部のうち前記板状部との境界に接触する第 1 の膜部分と、前記板状部のうち前記境界と接触する第 2 の膜部分とを互いに異なる材料の膜にすることを特徴とする強誘電体キャパシタの製造方法。

【請求項 6】 半導体基板上に設けられた制御電極と、前記半導体基板の、前記制御電極を挟む位置に形成された第 1 主電極及び第 2 主電極とを具えるトランジスタを形成するトランジスタ形成工程と、

前記半導体基板及び前記トランジスタを覆い、かつその表面が平坦な絶縁膜を形成する絶縁膜形成工程と、

前記絶縁膜に、前記第 1 主電極及び前記第 2 主電極のいずれか一方に達するコンタクトホールを形成した後、該コンタクトホールに導電材料を充填して、プラグを形成するプラグ形成工程と、

前記プラグ上に、主表面を有する板状部、及び該主表面上に設けられた、頂面を有する凸部を具える下部電極膜を形成する下部電極用膜形成工程と、

前記凸部の周囲の、前記板状部の主表面を覆い、かつその表面が前記頂面と実質的に同一面位置となる厚みで、常誘電体膜を形成する常誘電体膜形成工程と、

露出している前記頂面上から、前記常誘電体膜上のうち、前記板状部の主表面と前記常誘電体膜用膜を介して対向する領域に亘って、強誘電体膜用膜を形成する強誘電体膜形成工程と、

前記強誘電体膜上のうち、前記頂面と対向する領域から、前記板状部の主表面と前記常誘電体膜及び前記強誘電体膜を介して対向する領域に亘って、上部電極膜を形成する上部電極膜形成工程と、

前記強誘電体膜に対してエッチングを行って、前記強誘電体膜のうち、前記凸部の上側部分と、前記常誘電体膜と接触しかつ該上側部分を所定幅で取り囲む部分とを残存させるエッチング工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板上に設けられた制御電極と、前記半導体基板の、前記制御電極を挟む位置に形成された第 1 主電極及び第 2 主電極とをそれぞれ具える複数のトランジスタを形成するトランジスタ形成工程と、

前記半導体基板及び前記トランジスタを覆い、かつその表面が平坦な絶縁膜を形成する絶縁膜形成工程と、

前記絶縁膜に、前記第 1 主電極及び前記第 2 主電極のいずれか一方に達するコンタクトホールをそれぞれ形成した後、該コンタクトホールの各々に導電材料を充填して、プラグをそれぞれ形成するプラグ形成工程と、

前記絶縁膜上に、主表面を有する板状部、及び該主表面上に設けられた、頂面を有する凸部を複数具える下部電極膜を形成する下部電極膜形成工程と、

前記各凸部の周囲の、前記板状部の主表面を覆い、かつその表面が各々の前記頂面と実質的に同一面位置となる厚みで、常誘電体膜を形成する常誘電体膜形成工程と、

露出している各々の前記頂面上から、前記常誘電体膜上のうち、前記板状部の主表面と前記常誘電体膜を介して対向する領域に亘って、強誘電体膜を形成する

強誘電体膜形成工程と、

前記強誘電体膜上のうち、各々の前記頂面と対向する領域から、前記板状部の主表面と前記常誘電体膜及び前記強誘電体膜を介して対向する領域に亘って、上部電極膜を形成する上部電極膜形成工程と、

前記強誘電体膜に対しエッチングを行って、前記強誘電体膜のうち、前記凸部の上側部分と、前記常誘電体膜と接触しかつ該上側部分を所定幅で取り囲む部分とを残存させるエッチング工程と、

前記上部電極膜に対してエッチングを行って、各々の前記凸部に対応する、個別の島状の上部電極膜に分離する上部電極膜分離工程と、

前記島状の上部電極膜と該島状の上部電極膜と関連する前記プラグとを電氣的に接続する配線層を形成する配線層形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 6 または 7 に記載の半導体装置の製造方法において、前記エッチング工程では、前記上部電極膜、前記強誘電体膜、前記常誘電体膜及び前記下部電極膜の板状部を一括してエッチング除去することを特徴とする半導体装置の製造方法。

【請求項 9】 主表面を有する板状部、及び該主表面上に設けられていて頂面を有する凸部を具える下部電極膜と、

前記板状部の主表面を覆い、かつその表面が前記頂面と実質的に同一面位置にある常誘電体膜と、

前記頂面上から、前記常誘電体膜上のうち、前記板状部の主表面と前記常誘電体膜を介して対向する領域に亘って設けられている強誘電体膜と、

前記強誘電体膜上のうち、前記頂面と対向する領域から、前記板状部の主表面と前記常誘電体膜及び前記強誘電体膜を介して対向する領域に亘って設けられている上部電極膜と

を具えることを特徴とする強誘電体キャパシタ。

【請求項 10】 主表面を有する板状部、及び該主表面上に設けられていて頂面を有する凸部を複数具える下部電極膜と、

前記板状部の主表面を覆い、かつその表面が各々の前記頂面と実質的に同一面

位置にある常誘電体膜と、

前記頂面上から、前記常誘電体膜上のうち、前記板状部の主表面と前記常誘電体膜を介して対向する領域に亘って、設けられている強誘電体膜と、

各々の前記凸部を覆い、かつ個別の島状の上部電極膜とを具えることを特徴とする強誘電体キャパシタ。

【請求項 11】 請求項 9 または 10 に記載の強誘電体キャパシタにおいて、前記下部電極の板状部、前記常誘電体膜、前記強誘電体膜及び前記上部電極のそれぞれの端面で構成される、前記強誘電体キャパシタの側壁面は、実質的に非凹凸面であることを特徴とする強誘電体キャパシタ。

【請求項 12】 請求項 11 ないし 13 のいずれか一項に記載の強誘電体キャパシタにおいて、前記凸部のうち前記板状部との境界と接する第 1 の膜部分と、前記板状部のうち前記境界と接する第 2 の膜部分とは、互いに異なる材料の膜であることを特徴とする強誘電体キャパシタ。

【請求項 13】 請求項 12 に記載の強誘電体キャパシタにおいて、前記第 1 の膜部分は、酸化イリジウム膜であり、及び前記第 2 の膜部分は、イリジウム膜であることを特徴とする強誘電体キャパシタ。

【請求項 14】 請求項 12 に記載の強誘電体キャパシタにおいて、前記第 1 の膜部分は、白金膜であり、及び前記第 2 の膜部分は、酸化イリジウム膜であることを特徴とする強誘電体キャパシタ。

【請求項 15】 半導体基板上に設けられた制御電極と、前記半導体基板の、該制御電極を挟む位置に形成された第 1 主電極及び第 2 主電極とを有するトランジスタと、

前記半導体基板及び前記トランジスタを覆い、かつその表面が平坦面である絶縁膜と、

該絶縁膜に設けられ、かつ前記第 1 主電極及び前記第 2 主電極のいずれか一方に達するコンタクトホールに導電材料が充填されたプラグと、

該プラグ上に、主表面を有する板状部、及び該主表面上に設けられていて頂面を有する凸部を具える下部電極と、

前記主表面を覆い、その表面が前記頂面と実質的に同一面位置にある常誘電体

膜と、

前記頂面上から、前記絶縁膜上のうち、前記板状部の主表面と前記常誘電体膜を介して対向する領域に亘って設けられている強誘電体膜と、

前記強誘電体膜上のうち、前記頂面と対向する領域から、前記板状部の主表面と前記常誘電体膜及び前記強誘電体膜を介して対向する領域に亘って設けられている上部電極膜と

を具えることを特徴とする半導体装置。

【請求項 16】 半導体基板上に設けられた制御電極と、前記半導体基板の、該制御電極を挟む位置に形成された第 1 主電極及び第 2 主電極とを有するトランジスタと、

前記半導体基板及び前記トランジスタを覆い、かつその表面が平坦面である絶縁膜と、

該絶縁膜に設けられ、かつ前記第 1 主電極及び前記第 2 主電極のいずれか一方に達するコンタクトホールに導電材料が充填されたプラグと、

該絶縁膜上に、主表面を有する板状部、及び該主表面上に設けられていて頂面を有する凸部を複数具える下部電極膜と、

前記主表面を覆い、その表面が各々の前記頂面と実質的に同一面位置にある常誘電体膜と、

各々の前記頂面上から、前記常誘電体膜上のうち、前記板状部の主表面と前記常誘電体膜を介して対向する領域に亘って設けられている強誘電体膜と、

各々の前記凸部を覆い、かつ個別の島状の上部電極膜と、

前記島状の上部電極膜と該島状の上部電極膜と関連する前記プラグとを電氣的に接続する配線層と

を含むことを特徴とする半導体装置。

【請求項 17】 基板表面上に凸部を具える下部電極膜を形成する工程と、前記下部電極膜上に、前記凸部の上面を露出する常誘電体膜を形成する工程と、

前記凸部の上面に対応する第 1 の領域と、前記常誘電体膜に対応するとともに前記第 1 の領域に隣接する第 2 の領域とを有する強誘電体膜を形成する工程と、

前記第 2 の領域の強誘電体膜に対してエッチングを行い、前記強誘電体膜の前記第 1 の領域の周囲を取り囲む前記第 2 の領域下に形成された前記常誘電体膜を残存させる工程と、

前記第 1 の領域の強誘電体膜を介して前記下部電極膜と対向し、かつ残存した前記常誘電体膜及び前記第 2 の領域の強誘電体膜を介して前記下部電極膜と対向する上部電極膜を形成する工程とを含むことを特徴とする強誘電体キャパシタの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】

この発明は、強誘電体キャパシタ、当該強誘電体キャパシタを具える半導体装置及びこれらの製造方法に関する。

【0 0 0 2】

【従来の技術】

近年、強誘電体キャパシタを用いた強誘電体メモリ（F e R A M : F e r r o e l e c t r i c R a n d o m A c c e s s M e m o r y）は、データの書込みが高速である点やランダムアクセスが可能である点から、新たな不揮発性メモリとして期待されている。

【0 0 0 3】

強誘電体メモリは、トランジスタと強誘電体膜を含む強誘電体キャパシタとを具えたセル構造を有し、電荷を蓄積記憶する強誘電体膜の自発分極による電界の反転ならびにその保持機能を利用したメモリである。

【0 0 0 4】

F e R A M の構造は、主に、プレーナ（P l a n a r）型とスタック（s t a c k e d）型とに大別される。

【0 0 0 5】

プレーナ型の F e R A M では、強誘電体キャパシタの上部電極は、当該上部電極に対応する選択トランジスタのソース電極と電氣的に接続されている。

【0 0 0 6】

一方、スタック型のFeRAMでは、下部電極が当該下部電極の下側に設けられたプラグを介して選択トランジスタのソース電極と電気的に接続されている。そのため、スタック型のFeRAMは、プレーナ型のFeRAMよりもセル面積を縮小できるため、より微細なデザインルールへの対応が可能である（非特許文献1参照）。スタック型のFeRAMの構造には、例えば、板状の下部電極膜の断面積を、当該下部電極膜上に形成されている板状の強誘電体膜の断面積よりも小さくしたものがある（特許文献1参照）。

【0007】

【非特許文献1】

A FRAM technology using 1T1C and triple metal layers for high performance and high density FRAMs: S.Y. Lee et al., 1999 Symposium on VLSI Technology Digest of Technical Papers, 1999, pp.141-142.

【特許文献1】

特開 2001-308287号公報

【0008】

【発明が解決しようとする課題】

しかしながら、微細なデザインルールを用いた大容量の強誘電体メモリは、以下に説明する問題の発生等により、いまだ実用化には至っていない。

【0009】

従来、強誘電体キャパシタを加工するに当たり、板状の下部電極膜、強誘電体膜及び上部電極膜を順次成膜した後、これら膜に対してエッチングを一括して行っていた。

【0010】

その結果、第一に、このエッチングによって加工された強誘電体膜の側壁に、ダメージ領域が形成される場合がある。このダメージ領域とは、エッチングの間に、強誘電体膜材料、上部電極及び下部電極材料が反応ガスと反応することによって形成される中間反応物等を含む変成領域である。また、ダメージ領域にはこのほかに、スパッタ法を用いて強誘電体キャパシタを絶縁膜中に埋設する際に、強誘電体膜の側壁で酸素解離が発生することによって形成されるものもある。

【0011】

第二に、強誘電体膜の側壁に、エッチング残渣が再付着する場合がある。

【0012】

上述した種々の問題により、強誘電体キャパシタの正常動作が妨げられ、よって、強誘電体キャパシタの信頼性が確保できない場合があった。

【0013】

そこで、このような問題を解決するために、これまで以下の方法が提案されている。まず、下部電極膜を形成した後に、第1のエッチングを行って所定寸法の下部電極膜に加工する。続いて、この下部電極膜上に強誘電体膜及び上部電極膜を順次形成した後に、第2のエッチングを行って所定寸法の強誘電体膜及び上部電極膜に加工し、これにより強誘電体キャパシタを形成する。

【0014】

しかしながら、上述した方法を、例えば、上述のスタック型のFeRAMの製造に適用する場合には、酸素雰囲気下において強誘電体膜形成用の膜の成膜を行う際に、下部電極膜の下側に形成されている絶縁層への酸素の拡散が促進される。その結果、この絶縁層中に埋設されているプラグが酸化されてしまい、下部電極膜とソース電極との間の導通がとれなくなる場合がある。

【0015】

また、形成されたダメージ領域を薬液等でクリーニングすることにより、強誘電体キャパシタとしての強誘電体膜の機能を回復させる方法も提案されている。

【0016】

しかしながら、クリーニング処理後の強誘電体キャパシタの残留分極量は、顕著に増大していないことから、有効な機能回復手段とは言い難い。また、デザインルールが微細な強誘電体キャパシタではこのダメージ領域の影響が顕著となるため、このような問題は、より一層深刻なものとなる。

【0017】

その結果、ダメージ領域の発生により強誘電体キャパシタの信頼性が低下し、よって、当該強誘電体キャパシタを具える半導体装置の信頼性も低下する。

【0018】

そこで、この発明の目的は、高い信頼性が確保された強誘電体キャパシタ、当該強誘電体キャパシタを具える半導体装置及びこれらの製造方法を提供することにある。

【0019】

【課題を解決するための手段】

そこで、この発明の強誘電体キャパシタの製造方法は、下記のような構成上の特徴を有する。

【0020】

すなわち、主表面を有する板状部、及びこの主表面上に設けられた、頂面を有する凸部を具える下部電極膜を形成する下部電極膜形成工程と、凸部の周囲の、板状部の主表面を覆い、かつその表面が頂面と実質的に同一面位置となる厚みで常誘電体膜を形成する常誘電体膜形成工程と、露出している頂面上から、常誘電体膜上のうち、板状部の主表面と常誘電体膜用膜を介して対向する領域に亘って、強誘電体膜を形成する強誘電体膜形成工程と、強誘電体膜上のうち、頂面と対向する領域から、板状部の主表面と常誘電体膜及び強誘電体膜を介して対向する領域に亘って、上部電極膜を形成する上部電極膜形成工程と、強誘電体膜に対しエッチングを行って、強誘電体膜のうち、凸部の上側部分と、常誘電体膜と接触しかつ当該上側部分を所定幅で取り囲む部分とを残存させるエッチング工程とを含んでいる。

【0021】

この構成によれば、強誘電体キャパシタのうち実効的に機能する領域すなわち有効領域にあるキャパシタは、下部電極膜における凸部、当該凸部と対向する上部電極膜、及びこれら膜に挟まれた強誘電体膜によって構成される強誘電体キャパシタである。

【0022】

その結果、強誘電体膜の側壁は上述した強誘電体キャパシタの有効領域外に位置しているため、強誘電体膜の側壁に発生するダメージ領域によって強誘電体特性が劣化するのを抑制することができる。

【0023】

従って、高信頼性な強誘電体キャパシタが得られ、よって、高信頼性な半導体装置を実現することができる。

【0024】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態につき説明する。尚、各図は、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係を概略的に示してあるに過ぎず、従って、この発明は図示例に限定されるものではない。また、平面図には、図示の構成成分のレイアウト関係を明らかにするために、上に重なった部材や構造により視界から隠れた輪郭線を実線や破線で示しているが、場合によっては、隠れた輪郭線の表示を省略した平面図もある。また、図を分かり易くするために、断面を示すハッチングは、一部分を除き省略してある。尚、以下の説明は、単なる好適例に過ぎず、また、例示した数値的条件は何らこれに限定されない。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。

【0025】

<第1の実施の形態>

図1は、この実施の形態における半導体装置10の主要部を示す概略断面図であるとともに、図2に示すこの半導体装置10の概略平面図のうち、強誘電体メモリセル（以下、単にメモリセルと称する場合もある。）50を、実線部分I-I'線に沿って切断して得られる切り口すなわち断面を図中矢印方向から見た図である。この実施の形態では、微細なデザインルールに適用可能なスタック型のFeRAMに、この発明の強誘電体キャパシタを適用させた半導体装置を例に挙げて説明する。

【0026】

先ず、図1に示す半導体装置10の説明に先立ち、図2を参照してこの実施の形態の半導体装置10について説明する。

【0027】

図2に示すように、この実施の形態の半導体装置10が有するメモリセル50は、MOS (Metal Oxide Semiconductor) 型電界効

果トランジスタ（以下、単にトランジスタと称する場合もある。）20及び強誘電体キャパシタ60を具えている。トランジスタ20は、第1主電極としてのソース電極（或いは、ソース領域とも称する。）24及び第2主電極としてのドレイン電極（或いは、ドレイン領域とも称する。）26を具えている。第1主電極24及び第2主電極26は、アクティブ領域30内に、ワード線である制御電極としてのゲート電極22を挟むような位置に一对の不純物拡散領域であるとして形成されている。ドレイン電極26は、ビット線コンタクト32を介してビット線55と電氣的に接続されている。ソース電極24は、キャパシタコンタクトであるプラグ34を介して強誘電体キャパシタ60を構成する下部電極膜62と電氣的に接続されている。強誘電体キャパシタ60は、下部電極膜62上に、強誘電体膜64及び上部電極膜66が順次積層された構成を有している（詳細後述）。上部電極膜66は、プレート線コンタクト36を介してプレート線57と電氣的に接続されている。尚、この構成例では、ビット線55は、ゲート電極22及びプレート線57の各々に、直交して配置されている。

【0028】

続いて、この実施の形態の半導体装置10について、図1及び図2を参照してさらに詳細に説明する。

【0029】

図1に示すように、トランジスタ20は、ゲート電極22、ソース電極24及びドレイン電極26を具えている。ゲート電極22は、半導体基板であるシリコン基板12上にゲート絶縁膜（図示を省略してある。）を介して形成されている。ソース電極24及びドレイン電極26は、シリコン基板12の表面領域の中の、ゲート電極22を挟む位置に形成されている。尚、トランジスタ20は、nチャネル型又はpチャネル型のいずれかを任意好適に選択することができる。トランジスタ20は、シリコン基板12上に形成され、その表面が平坦化された絶縁膜であるシリコン酸化（ SiO_2 ）膜13中に埋設されている。

【0030】

ソース電極24は、シリコン酸化膜13に形成されたプラグ34を介して、後述する下部電極膜62と電氣的に接続されている。このプラグ34は、シリコン

酸化膜 13 に形成されたコンタクトホール 14 に、ポリシリコン (Poly-Si) やタングステン (W) の導電材料を充填して形成されている。さらに、この実施の形態のように、プラグ 34 と下部電極膜 62 との間に、金属の相互拡散を防止するための、窒化チタン (TiN) 膜や窒化アルミニウム (AlN) 膜によるバリアメタル 17 が設けられていても良い。バリアメタル 17 は、コンタクトホール 14 に埋め込まれた構造であっても良い。また、バリアメタル 17 を設ける場合には、バリアメタル 17 と下部電極膜 62 との間に、両者間の密着性を向上させるための、酸化チタン (TiO₂) 膜からなる密着層が設けてあっても良い。

【0031】

また、ドレイン電極 26 は、同じく絶縁膜 13 中に埋設されているタングステンやタングステンシリサイド (WSi_x) からなるビット線 55 と、シリコン酸化膜 13 に形成されたビット線コンタクト 32 を介して電氣的に接続されている。このビット線コンタクト 32 は、シリコン酸化膜 13 に形成されたコンタクトホール 14 に、ポリシリコンやタングステンの導電材料を充填して形成されている。絶縁分離膜 19 は、隣り合うトランジスタ同士を絶縁分離している。尚、ここでのトランジスタ 20 の構造は従来公知であるので、その詳細な説明は省略する。

【0032】

続いて、この実施の形態のキャパシタ 60 は、バリアメタル 17 上に、シリコン基板 12 側から、下部電極膜 62 と、常誘電体膜 63 と、強誘電体膜 64 と、上部電極膜 66 とを具えている。下部電極膜 62 は、板状の下側部 (以下、単に板状部と称する。) 62a の主表面 a に凸部 62b が設けられた構造であって、全体が一体的に白金 (Pt) で形成されている。図示の構成例では、板状部 62a の主表面 a の中心側領域に凸部 62b が設けられている。常誘電体膜 63 は、凸部 62b の周囲を埋め込むように主表面 a を覆い、かつ常誘電体膜 63 の表面が凸部 62b の頂面 b と実質的に同一面位置となるように設けられている。この常誘電体膜 63 は、シリコン酸化膜やシリコン窒化 (SiN) 膜で形成されている。強誘電体膜 64 は、凸部 62b の頂面 b 上から、常誘電体膜 63 のうち板状

部 6 2 a の主表面 a と対向すなわち正対する領域に亘って設けられていて、タンタル酸ストロンチウムビスマス ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) で形成されている。上部電極膜 6 6 は、強誘電体膜 6 4 上に、頂面 b と対向する領域から非対向な領域、すなわち正対する領域 (正対領域) から当該正対領域から横方向にずれた領域 (非正対領域) に亘って設けられていて、白金で形成されている。また、この構成例では、上部電極膜 6 6 は、強誘電体膜 6 4 上に、頂面 b と正対する領域から非正対な領域に亘って設けられている。ここでの常誘電体膜 6 3 は、上部電極膜 6 6 と下部電極膜 6 2 との間のスペーサとしてはもとより、常誘電体キャパシタンス (容量) を与える役割を果たす。その詳細な説明は後述する。

【0033】

この実施の形態のキャパシタ 6 0 の平面形状は、矩形とする。また、ここでの下部電極膜 6 2 は、このように凸部 6 2 b による段差を具えた構造であり、一例として、この凸部 6 2 b を実質的に直方体としてある。凸部 6 2 b の頂面 b は、シリコン基板 1 2 の基板表面と平行な面内にあり、頂面の直交する 2 辺すなわち X 方向の長さ及び Y 方向の長さが、ともに板状部 6 2 a の主表面 a よりも小さい。また、板状部 6 2 a、常誘電体膜 6 3、強誘電体膜 6 4 及び上部電極膜 6 6 のそれぞれの端面 (e、f、g 及び h) で構成される強誘電体キャパシタ 6 0 の側壁面 j は、実質的に非凹凸面となっている。

【0034】

尚、凸部 6 2 b の断面形状はここでは矩形であるがこれに限定されず、例えば、順テーパ形すなわち台形のような傾斜面を有する形状であっても良い。傾斜面を有する場合には、凸部 6 2 b の加工の容易性等の観点から、凸部 6 2 b の側壁面 c と主表面 a のうち凸部 6 2 b が設けられている面とのなす角 θ が $70^\circ \sim 85^\circ$ 程度となるように形成するのが好ましい。また、上部電極及び下部電極膜 (6 6、6 2) の材料としては、そのほかに、例えば、イリジウム (Ir)、ルテニウム (Ru)、或いはルテニウム酸ストロンチウム (SrRuO_3) の耐酸化性金属や、酸化イリジウム (IrO_2) や酸化ルテニウム (RuO_2) の導電性金属酸化物を用いることができる。また、強誘電体膜 6 4 の材料としては、そのほかに、例えば、チタン酸ジルコン酸鉛 (PbZrTiO_3)、ランタン (La)

をドーピングしたチタン酸ジルコン酸鉛、ニオブ (Nb) をドーピングしたタンタル酸ストロンチウムビスマス、或いはチタン酸ビスマスランタン (RuBiTiO_3) を用いることができる (以下の各実施の形態についても同様)。

【0035】

強誘電体キャパシタ 60 は、絶縁膜であるシリコン酸化膜 16 中に埋設されている。このシリコン酸化膜 16 は、上部電極膜 66 上に設けられたタングステンで形成されたプレート線コンタクト 36 の頂面と実質的に同一高さに形成されており、その表面は平坦化されている。上部電極膜 66 は、このプレート線コンタクト 36 を介してアルミニウム (Al) からなるプレート線 57 と電氣的に接続されている。

【0036】

続いて、図 3 及び図 4 を参照して、この半導体装置 10 の製造方法につき説明する。

【0037】

まず、トランジスタ形成工程として、任意好適な方法を用いて、隣合うトランジスタ同士を絶縁分離するための絶縁分離膜 19 を形成する。この絶縁分離膜 19 で囲まれたシリコン基板 12 の領域に、トランジスタ 20 を形成する。このトランジスタ 20 の形成に当たり、任意好適な方法を用いて、シリコン基板 12 中に、ゲート電極 22 の形成位置を挟む位置に、シリコン基板の表面に接して一対の不純物拡散層であるソース電極 24 及びドレイン電極 26 とを形成する。然る後、シリコン基板 12 上のソース電極 24 とドレイン領域 26 との間の位置にゲート電極 22 を形成する。さらに、任意好適な方法を用いて、ドレイン電極 26 上にビット線コンタクト 32 を形成した後、当該ビット線コンタクト 32 と電氣的に接続されるビット線 55 をライン状にパターンニング形成する。

【0038】

続いて、絶縁膜形成工程として、露出しているシリコン基板 12、トランジスタ 20、ビット線コンタクト 32 及びビット線 55 を覆うように、絶縁膜を堆積させる。この絶縁膜を、例えば、シリコン酸化膜 13 として、これを化学的気相成長 (CVD: chemical Vapor Deposition) 法によ

り形成する。その後、シリコン酸化膜 13 の表面を化学機械的研磨（CMP：Chemical Mechanical Polishing）法により平坦化して、1200 nm の膜厚に形成する。

【0039】

続いて、プラグ形成工程として、シリコン酸化膜 13 に対してフォトリソグラフィ工程及びエッチング工程を順次行って、ソース電極 24 に達するコンタクトホール 14 を開口する。その後、コンタクトホール 14 内に CVD 法によってタングステンを埋め込んだ後、タングステンに対してシリコン酸化膜 13 の表面と実質的に同一面位置となるまで CMP を行い、プラグ 34 を形成する。

【0040】

次に、この実施の形態では、下部電極膜形成工程を以下の手順で行う。

【0041】

まず、シリコン酸化膜 13 上に、反応性スパッタ法によって窒化チタンからなるバリアメタル 17 を膜厚 70 nm で形成する。このバリアメタルは、プラグ 34 の頂面と接して形成される。

【0042】

続いて、バリアメタル 17 上に、スパッタ法により、下部電極膜形成用の板状の導電膜として、白金膜 65 を膜厚 150 nm で形成する（図 3（A））。

【0043】

続いて、この白金膜 65 の主表面の一部が下部電極膜の凸部 62 b の頂面 b（図 1 参照）となるように、シリコン酸化膜或いは窒化チタンをマスク M1（不図示）として用いて、フォトリソグラフィ工程及びエッチング工程を順次行う。この実施の形態では、単層膜である白金膜 65 に対してフォトリソグラフィ工程及びエッチング工程を行うことにより、一体化された下部電極膜を得ることができる。単層膜より凸部 62 b を具える下部電極膜を形成するこの実施の形態における製造方法では、一つのチャンバ及びターゲット材料を用意することにより強誘電体キャパシタの下部電極膜を形成することが可能となるため、結果として、全体のプロセスコストを低減することが可能となる。

【0044】

こうして、例えば、X方向の長さが1 0 4 0 nm、Y方向の長さが8 0 0 nm、及びZ方向の高さが7 5 nmの直方体状の凸部6 2 bをパターンニング形成する。尚、XY面は、シリコン基板1 2の基板表面と平行な面内にある。

【0 0 4 5】

これにより、板状部6 7 aの主表面a上に、凸部6 2 bによる段差が設けられた下部電極膜6 7が得られる（図3（B））。

【0 0 4 6】

続いて、常誘電体膜形成工程として、凸部6 2 bの周囲の板状部6 7 aの主表面aを覆い、かつその表面が凸部6 2 bの頂面bと実質的に同一面位置となる厚みに常誘電体膜を形成する。

【0 0 4 7】

具体的には、下部電極膜6 7上に、TEOS（t e t r a e t h y l o r t h o s i l i c a t e）を用いたプラズマCVD法によってシリコン酸化膜を膜厚1 5 0 nm、O₃-TEOSを用いたプラズマCVD法によってシリコン酸化膜を膜厚2 5 0 nm、及びCVD法によって塗布ガラス（SOG：S p i n O n G l a s s）を膜厚5 0 0 nmで順次堆積させて積層膜（不図示）を形成する。

【0 0 4 8】

その後、この積層膜に対して凸部6 2 bの頂面bが露出するまで全面エッチバックを行って、常誘電体膜であるシリコン酸化膜6 8を形成する（図3（C））。尚、この全面エッチバックを、凸部6 2 bの頂面bが露出するまで行う。理由は、後工程を経て形成される強誘電体キャパシタ6 0の有効領域（説明後述）内に常誘電体容量が発生して強誘電体キャパシタの安定動作が妨げられるのを回避するためである。そのため、凸部の頂面bが多少オーバーエッチングされても良い。具体的には、この構成例でのエッチバック精度は1 0 %程度であるため、頂面bからのオーバーエッチング量が7 nm～1 0 nm程度となる場合があるが問題ない。

【0 0 4 9】

続いて、強誘電体膜形成工程として、頂面b上からシリコン酸化膜6 8上に亘

って、すなわち、凸部の上面に対応する第1の領域と、常誘電体膜であるシリコン酸化膜68に対応するとともに当該第1の領域に隣接する第2の領域とが形成されるように、スピンコート法を用いてタンタル酸ストロンチウムビスマス前駆体溶液を塗布する。この塗布液が乾燥した後、塗布液に対して700℃で1分間の急速加熱アニール（RTA：Rapid Thermal Anneal）を酸素雰囲気中に行って、膜厚50nmのタンタル酸ストロンチウムビスマス膜を形成する。その後、この塗布工程及びRTA工程を2回繰り返した後に750℃で1分間のRTAを酸素雰囲気中で行い、最終的に膜厚が150nmのタンタル酸ストロンチウムビスマス膜69を形成する。

【0050】

続いて、上部電極膜形成工程として、タンタル酸ストロンチウムビスマス膜69上に、スパッタ法によって上部電極膜61である白金膜を、100nmの膜厚に形成する。従って、この白金膜61を、凸部62bの頂面bと対向する領域から非対向な領域、すなわち正対する領域（正対領域）から当該正対領域から横方向にずれた領域（非正対領域）に亘って、形成する（図4（A））。

【0051】

続いて、エッチング工程として、タンタル酸ストロンチウムビスマス膜69に対してエッチングを行い、タンタル酸ストロンチウムビスマス膜69のうち、凸部62bの上側部分と、シリコン酸化膜68と接触しかつ当該上側部分を所定幅で連続して取り囲む部分とを残存させて、強誘電体キャパシタ60を形成する。すなわち、上述した第2の領域に対応するタンタル酸ストロンチウムビスマス膜69に対してエッチングを行い、当該第1の領域の周囲を取り囲む第2の領域下に形成されている常誘電体膜であるシリコン酸化膜68を残存させて、強誘電体キャパシタ60を形成する。尚、図4（A）の断面図中、破線kで挟まれた領域がキャパシタ60を構成する領域として残存する領域である。

【0052】

具体的には、直方体状の強誘電体キャパシタ60の寸法を、X方向の長さが1300nm及びY方向の長さが1000nmとなるように、シリコン酸化膜をマスクM2（不図示）として用いて、フォトリソグラフィ工程及びエッチング工程

を順次行う。尚、XY面は、シリコン基板12の基板表面と平行な面内にある。

【0053】

こうして、上部電極膜61、強誘電体膜69、常誘電体膜68及び下部電極膜の板状部67aの4つの膜に対してエッチングを一括して行い、強誘電体キャパシタ60を形成する(図4(B))。尚、この構成例では、エッチング工程後の板状部62a、常誘電体膜63、強誘電体膜64及び上部電極膜66のそれぞれの端面(e、f、g及びh)で構成される強誘電体キャパシタ60の側壁面Jは、実質的に非凹凸面となっている。

【0054】

さらに、この構成例では、マスクM2への露光量すなわち露光強度を調整することにより、パターニングされる形状を内側にアンダーサイジングさせることができる。よって、例えば、凸部62bの頂面bのX方向及びY方向の寸法が、強誘電体キャパシタ60のX方向及びY方向の寸法を、例えば、10%程度アンダーサイジングさせた形状に相当する場合には、マスクM2に対する露光強度を所定量増大させてM1として代替でき、よって、製品コストを低減できる。

【0055】

また、強誘電体キャパシタ60の形成後は、CVD法によって強誘電体キャパシタ60をシリコン酸化膜16で埋設した後にシリコン酸化膜16に対してCMP法を行って、表面を平坦化させる。その後、シリコン酸化膜16に対してフォトリソグラフィ工程及びエッチング工程を順次行って、上部電極膜66に達するコンタクトホール31を開口する。続いて、CVD法によって、コンタクトホール31内にタングステンを埋め込んだ後、シリコン酸化膜16の表面と実質的に同一面位置となるまでタングステンに対してCMPを行ってプレート線コンタクト36を形成する。その後、プレート線コンタクト36上に、これと接触するアルミニウムからなるプレート線57をライン状にパターニング形成する(図1参照)。尚、この実施の形態では、下部電極膜、常誘電体膜、強誘電体膜及び上部電極膜を順次形成した後、これら膜に対してエッチングを一括して行って強誘電体キャパシタを形成しているが、これに限定されるものではない。すなわち、下部電極膜、常誘電体膜及び強誘電体膜を順次形成した後、一旦エッチングを行っ

て強誘電体膜を所定寸法に加工した後、第1の領域における強誘電体膜を介して下部電極膜と対向し、かつエッチングによって残存する常誘電体膜及び第2領域の強誘電体膜を介して下部電極膜と対向する上部電極膜を形成しても良い。

【0056】

この実施の形態では、上述した製造方法によって得られた強誘電体キャパシタ60のうち実効的に機能する部分すなわち有効領域は、下部電極膜62の凸部62b、上部電極膜66のうち当該凸部62bと強誘電体膜64を挟んで対向すなわち正対する部分66a（対向領域或いは正対領域とも称する。）、及び凸部62bと上部電極膜の正対領域との間に挟まれた、強誘電体膜の領域部分64a（有効強誘電体膜領域とも称する。）である。

【0057】

この点につき、図5（A）から（C）を参照して説明する。図5（A）は、強誘電体キャパシタ60の主要部の概略断面図である。図5（B）は、図5（A）に示す強誘電体キャパシタ60をP-P'線に沿ってを切断して得られた断面を上方から見た図である。図5（C）は、強誘電体キャパシタ60の等価回路図である。

【0058】

図5（A）及び（B）に示すように、強誘電体膜64の膜厚を t_{fe} とし、スペーサである常誘電体膜63の膜厚すなわち凸部62bによって形成される段差を t_{ox} とする。

【0059】

強誘電体キャパシタ60は、有効領域601における強誘電体キャパシタ C_{fe0} と、この有効領域601を取り囲むスペーサ領域602における常誘電体キャパシタ C_{ox} 、及び強誘電体キャパシタ C_{fe1} とからなる。

【0060】

詳細には、強誘電体キャパシタ C_{fe0} は、下部電極膜の凸部62b、当該凸部と対向すなわち正対する上部電極膜66aの正対領域、及びこれら膜に挟まれた有効強誘電体膜領域64aを具えている。また、常誘電体キャパシタ C_{ox} は、下部電極膜の板状部62aのうち常誘電体膜63と対向すなわち正対する部分62

a a、常誘電体膜 6 3、及び上部電極膜 6 6 のうち常誘電体膜 6 3 と対向すなわち正対する部分 6 6 b を具えている。また、強誘電体キャパシタ C_{fe1} は、下部電極膜のうちの部分 6 2 a a、上部電極のうちの部分 6 6 b、及びこれらに挟まれた強誘電体膜の部分 6 4 b を具えている。

【0061】

その結果、この実施の形態の強誘電キャパシタ 6 0 は、図 5 (C) に示すように、有効領域 6 0 1 における強誘電体キャパシタ C_{fe0} と、この強誘電体キャパシタ C_{fe0} と並列に接続されるとともに、スペーサ領域 6 0 2 における強誘電体キャパシタ C_{fe1} 及び常誘電体キャパシタ C_{ox} からなる直列キャパシタとを有する構成と等価である。

【0062】

従って、強誘電体キャパシタ 6 0 の容量 D は、強誘電体キャパシタ C_{fe0} の容量を D_{fe0} 、強誘電体キャパシタ C_{fe1} の容量を D_{fe1} 、及び常誘電体キャパシタ C_{ox} の容量を D_{ox} とすると、式 (1) で与えられる。

【0063】

$$D = D_{fe0} + (D_{fe1} \cdot D_{ox}) / (D_{fe1} + D_{ox}) \cdots (1)$$

ここで、図 5 (B) に示すように、有効領域 6 0 1 を、X 方向の長さが m_1 及び Y 方向の長さが m_2 の方形領域とし、かつスペーサ領域 6 0 2 を、X 方向の長さが d_1 及び Y 方向の長さが d_2 のそれぞれの幅（或いはスペーサ幅とも称する。）で有効領域 6 0 1 を取り囲む方形の枠状領域とする。また、ここでの強誘電体膜 6 4 の誘電率を ϵ_{fe} とし、常誘電体膜 6 3 の誘電率を ϵ_{ox} とすると、各キャパシタの容量は、式 (2) ～式 (4) で与えられる。

【0064】

$$D_{fe0} = (\epsilon_{fe} \cdot m_1 \cdot m_2) / t_{fe} \cdots (2)$$

$$D_{fe1} = 2 \epsilon_{fe} (m_2 \cdot d_1 + m_1 \cdot d_2 + 2 d_1 \cdot d_2) / t_{fe} \cdots (3)$$

$$D_{ox} = 2 \epsilon_{ox} (m_2 \cdot d_1 + m_1 \cdot d_2 + 2 d_1 \cdot d_2) / t_{ox} \cdots (4)$$

ここで、例えば、 t_{fe} 及び t_{ox} をともに 150 nm とし、また、強誘電体キャパシタ 6 0 に 3 V の電圧を印加する。尚、 t_{fe} 及び t_{ox} の値はこれらに限定されず、 t_{fe} は強誘電体キャパシタの動作仕様等によって、また t_{ox} は凸部の加工精

度やデザインルールによる設計基準等によって任意に設定することができる。また、ここでの強誘電体膜 6 4 であるタンタル酸ストロンチウムビスマスの誘電率 ϵ_{fe} は、常誘電体膜 6 3 の材料であるシリコン酸化物の誘電率 ϵ_{ox} の 4 0 倍程度である。

【0 0 6 5】

その結果、有効領域における強誘電体キャパシタ C_{fe0} には 3 V がかかる一方、スぺーサ領域における強誘電体キャパシタ C_{fe1} にかかる電圧は、常誘電体キャパシタ C_{ox} にかかる電圧の $1/40$ 程度、すなわち 0. 0 7 5 V 程度となる。

【0 0 6 6】

0. 0 7 5 V 程度の低電圧では、ヒステリシス特性を示すことは無いうゑに抗電界よりも遙かに低いことから、スぺーサ領域 6 0 2 は実質的に常誘電体キャパシタ C_{ox} とみなすことができる。よつて、強誘電体キャパシタ 6 0 の容量 D を、式 (5) で示すように近似することができる。

【0 0 6 7】

$$D = D_{fe0} + (D_{fe1} \cdot D_{ox}) / (D_{fe1} + D_{ox}) \div D_{fe0} + D_{ox} \cdots (5)$$

また、スぺーサ領域 6 0 2 を設けることにより電荷のリークが懸念されるが、リークする電荷量は極めて小さいため無視することができる。その理由を、以下に説明する。

【0 0 6 8】

例えば、上部電極膜 6 6 及び下部電極膜の板状部 6 2 a の寸法を、X 方向の長さ ($m_1 + 2 d_1$ に相当。) を 1 3 0 0 nm、及び Y 方向の長さ ($m_2 + 2 d_2$ に相当。) を 1 0 0 0 nm とし、このときのスぺーサ幅 (d_1 、 d_2) を各辺の 1 0 % として設計する。すなわち、 $m_2 = 1 0 4 0$ nm、 $m_1 = 8 0 0$ nm、 $d_2 = 1 3 0$ nm 及び $d_1 = 1 0 0$ nm となる。尚、スぺーサ幅の占める割合は、デザインルールやプロセスマージンによる設計基準等に応じて任意に設定することができる。

【0 0 6 9】

これに基づいて強誘電体キャパシタ C_{fe0} 及び常誘電体キャパシタ C_{ox} の各容量を式 (2) 及び式 (4) を用いて算出する。これにより、式 (5) から、実質

的なスペーサ領域 602 の容量 D_{ox} は、強誘電体キャパシタ 60 の容量 D 全体の $1/80$ 程度を占めるに過ぎないことが判る。尚、強誘電体膜 63 の材料をチタン酸ジルコン酸鉛とした場合には、 $D_{ox}/D = 1/320$ 程度となり、その傾向はより顕著となる。

【0070】

このことから明らかなように、スペーサ領域 602 を設けることによる電荷のリークは、強誘電体特性に影響を及ぼさない程度であることが判る。

【0071】

上述した説明から明らかなように、この実施の形態では、強誘電体キャパシタの有効領域は下部電極膜における凸部 62b 上面（頂面 b）の面積と実質的に同一であり、強誘電体キャパシタの強誘電体膜の側壁に発生するダメージ領域は、強誘電体キャパシタの有効領域外であるスペーサ領域に存在している。

【0072】

また、このようなスペーサ領域を設けることによって懸念される電荷のリークは、強誘電体特性に影響を及ぼさない程度に小さいことが確認された。

【0073】

さらに、この実施の形態では、強誘電体キャパシタを形成するに当たり、下部電極膜、常誘電体膜、強誘電体膜及び上部電極膜に対するエッチングを一括して行う。そのため、酸素雰囲気下での強誘電体膜の形成時に、耐酸化性の高い下部電極膜が半導体基板上の広い領域に形成された状態である。

【0074】

その結果、強誘電体膜の形成時に、下部電極膜の下側に形成された、下部電極膜とソース電極とを電氣的に接続するプラグの酸化を抑制することができる。

【0075】

さらに、この実施の形態では、上述したダメージ領域の低減を図ることにより、従来の強誘電体キャパシタの構造に比べてキャパシタサイズの小型化を効果的に実現することができる。

【0076】

従って、高い残留分極量を有する高信頼性な強誘電体キャパシタを得ることが

でき、よって、高信頼性な半導体装置を実現することができる。

【0077】

＜第2の実施の形態＞

図6及び図7を参照して、この発明の第2の実施の形態につき説明する。

【0078】

この実施の形態では、下部電極膜の凸部のうち当該下部電極膜の板状部との境界面に接触する第1の部分Aと、板状部のうち当該境界面と接触する第2の部分Bとが異なる材料である点が第1の実施の形態との主な相違点である。また、第1の実施の形態で既に説明した構成要素と同一の構成要素には同一の番号を付して示し、その具体的な説明を省略する（以下の各実施の形態についても同様）。

【0079】

具体的には、この実施の形態の半導体装置100の主要部の概略断面図である図6に示すように、強誘電体キャパシタ70の下部電極膜72は、イリジウム膜からなる板状部72aと、酸化イリジウム膜からなる凸部72bとを具えた構造である。

【0080】

これにより、板状部72a及び凸部72bが互いに異なる材料であるため、上述した第1の部分Aと第2の部分Bとが異なる材料（酸化イリジウム／イリジウム）となる。

【0081】

続いて、図7を参照して、この半導体装置100の製造方法につき説明する。

【0082】

先ず、第1の実施の形態で説明した方法と同様の方法で、トランジスタ形成工程からプラグ形成工程までを行う。

【0083】

その後、この実施の形態では、下部電極膜形成工程を以下の手順で行う。

【0084】

先ず、バリアメタル17上に、スパッタ法によりイリジウム膜71を膜厚100nmで形成した後、反応性スパッタ法により酸化イリジウム膜73を膜厚10

0 nmで形成して、下部電極膜形成用の導電膜 74 を形成する（図 7（A））。

【0085】

続いて、この導電膜 74 の酸化イリジウム膜 73 の主表面の一部が下部電極膜の凸部 72 b の頂面 b（図 6 参照）となるように、フォトリソグラフィ工程及びエッチング工程を順次行う。エッチングガスには、例えば、酸化イリジウム膜 73 に対するエッチングレートが高い塩素（Cl₂）／酸素（O₂）の混合ガス系を用い、イリジウム膜 71 が露出するまでエッチングを行う。

【0086】

これにより、イリジウム膜からなる板状部 71 a の主表面 a 上に、酸化イリジウム膜の凸部 72 b による段差が設けられた下部電極膜 78 が得られる（図 7（B））。

【0087】

その後、第 1 の実施の形態で説明した方法と同様の方法で、常誘電体膜形成工程からエッチング工程（図 7（C））までを行い半導体装置 100 を得る（図 6）。尚、この構成例では、エッチング工程後の板状部 72 a、常誘電体膜 63、強誘電体膜 64 及び上部電極膜 66 のそれぞれの端面（e、f、g 及び h）で構成される強誘電体キャパシタ 60 の側壁面 J は、実質的に非凹凸面となっている。また、この構成例での下部電極膜形成用の導電膜 74 は、凸部 72 b の形成用膜である酸化イリジウム膜 73 と、板状部 72 a の形成用膜であるイリジウム膜 71 とを具えた積層体を用いたが、これに限定されない。よって、凸部形成用膜／板状部形成膜として、例えば、Pt 膜／IrO₂膜、Ru 膜／Ir 膜、Ru 膜／IrO₂膜、RuO₂膜／Ir 膜又は RuO₂膜／IrO₂膜等の組み合わせからなる積層体を用いることができる。また、凸部 72 b と板状部 72 a との境界面が上述した膜同士によって形成されていれば、凸部形成用膜及び板状部形成用膜の双方またはいずれか一方が積層膜であっても良い。

【0088】

上述した説明から明らかなように、この実施の形態では、第 1 の実施の形態と同様の効果を得ることができる。

【0089】

また、この実施の形態では、下部電極形成用の導電膜が積層体であるので、エッチングの終点検出を実施することができる。よって、第1の実施の形態よりも凸部の形成を制御性良く行うことができ、さらに歩留まりを向上させることができる。

【0090】

＜第3の実施の形態＞

図8及び図9を参照して、この発明の第3の実施の形態につき説明する。

【0091】

この実施の形態では、第2の実施の形態と同様に、下部電極膜の凸部のうち当該下部電極膜の板状部との境界面に接触する第1の部分Aと、板状部のうち当該境界面と接触する第2の部分Bとは異なる材料である点に加え、キャパシタ特性及びキャパシタの下に形成されるプラグ（電極プラグ）に対する耐酸化性を考慮し、さらに、凸部を構成する膜材料と当該境界面に接する板状部を構成する膜材料との相互作用を考慮した構造となっている点が第2の実施の形態との主な相違点である。

【0092】

具体的には、この実施の形態の半導体装置200の主要部の概略断面図である図8に示すように、強誘電体キャパシタ80の下部電極膜82は、半導体基板12側からイリジウム膜821及び酸化イリジウム膜822が順次に設けられた板状部82aと、白金膜からなる凸部82bとを具えた構造である。

【0093】

この実施の形態も、上述した第1の部分Aと第2の部分Bとは異なる材料（白金／酸化イリジウム）となっている。

【0094】

さらに、板状部82aのうち凸部との境界面に比較的白金膜との密着性が良いイリジウム酸化膜822を設け、さらにイリジウム酸化膜822の下にプラグの酸化を防止する能力の高いイリジウム（Ir）膜821を設ける積層膜の板状部82aを採用するこの実施の形態によれば、第2の実施の形態におけるエッチング終点検出の容易性に加え、イリジウム膜との密着性を確保することが難しい白

金 (Pt) を、凸部 8 2 b の膜材料として用いることが可能となる。つまり、強誘電体キャパシタのキャパシタ特性を向上させる白金と、プラグに対する耐酸化性が高いイリジウム膜とを含む下部電極膜を、膜剥がれ等を生じさせることなく形成することが可能となる。その結果、この第 3 の実施の形態によれば、下部電極膜形成時での高い加工制御性を維持するとともに、キャパシタ特性及びプラグの信頼性の向上を実現した強誘電体キャパシタを提供することが可能となる。

【0095】

続いて、図 9 を参照して、この半導体装置 2 0 0 の製造方法につき説明する。

【0096】

先ず、第 1 の実施の形態で説明した方法と同様の方法で、トランジスタ形成工程からプラグ形成工程までを行う。

【0097】

その後、この実施の形態では、下部電極膜形成工程を以下の手順で行う。

【0098】

先ず、バリアメタル 1 7 上に、スパッタ法によりイリジウム膜 8 1 を膜厚 1 0 0 nm、反応性スパッタ法により酸化イリジウム膜 8 3 を膜厚 5 0 nm、及びスパッタ法により白金膜 8 5 を膜厚 1 0 0 nm で順次形成して、下部電極膜形成用の導電膜 8 4 を形成する (図 9 (A))。

【0099】

続いて、この導電膜 8 4 の白金膜 8 5 の主表面の一部が下部電極膜の凸部 8 2 b の頂面 b (図 8 参照) となるように、フォトリソグラフィ工程及びエッチング工程を順次行う。エッチングガスには、白金膜 8 5 / 酸化イリジウム膜 8 3 のエッチング選択比が、第 2 の実施の形態における酸化イリジウム膜 7 3 / イリジウム膜 7 1 (図 7 (A) 参照) の選択比よりも大きくなるように、例えば、塩素 / アルゴン (Ar) の混合ガス系を用い、酸化イリジウム膜 8 3 が露出するまでエッチングを行う。

【0100】

これにより、イリジウム膜 8 1 及び酸化イリジウム膜 8 3 からなる板状部 8 6 の主表面 a 上に、白金膜の凸部 8 2 b による段差が設けられた下部電極膜 8 8 が

得られる (図 9 (B))。

【0101】

その後、第 1 の実施の形態で説明した方法と同様の方法で、常誘電体膜形成工程からエッチング工程 (図 9 (C)) までを行い半導体装置 200 を得る (図 8)。尚、この構成例では、エッチング工程後の板状部 82a (821、822)、常誘電体膜 63、強誘電体膜 64 及び上部電極膜 66 のそれぞれの端面 (e (e1, e2)、f、g 及び h) で構成される強誘電体キャパシタ 60 の側壁面 J は、実質的に非凹凸面となっている。また、この構成例での下部電極膜形成用の導電膜 84 は、凸部 82b の形成用膜である白金膜 85 と、板状部 82a の形成用膜であるイリジウム膜 821 及び酸化イリジウム膜 822 とを具えた積層体を用いたが、これに限定されない。よって、凸部形成用膜/板状部形成用膜として、例えば、Ir 膜/当該 Ir 膜側から IrO₂膜及び Ir 膜や、Ru 膜/当該 Ru 膜側から IrO₂膜及び Ir 膜や、又は Ru 膜/当該 Ru 膜側から RuO₂膜及び Ir 膜等の組み合わせからなる積層体を用いることができる。また、凸部 82b と板状部 82a との境界面がこうした膜同士によって形成されていれば、凸部形成用膜及び板状部形成用膜の双方またはいずれか一方が積層膜であっても良い。

【0102】

上述した説明から明らかなように、この実施の形態では、第 2 の実施の形態と同様の効果を得ることができる。

【0103】

さらに、この実施の形態では、第 2 の実施の形態よりもエッチング選択比が大きくエッチングの終点検出をさらに精度良く実施できるうえに、良好な強誘電体特性が得られる下部電極膜として用いて好適な白金膜上に、強誘電体膜を形成することができる。

【0104】

よって、第 2 の実施の形態よりも高信頼性な強誘電体キャパシタを得ることができるので、より一層高信頼性な半導体装置を実現することができる。

【0105】

＜第 4 の実施の形態＞

図 1 0 は、この実施の形態における半導体装置 5 0 0 の主要部を示す概略断面図であるとともに、図 1 1 に示すこの半導体装置 5 0 0 の概略平面図のうち、強誘電体メモリセル 3 0 0 を、実線部分 K - K' 線に沿って切断して得られる切り口を図中矢印方向から見た図である。この実施の形態では、上述した各実施の形態におけるスタック型の F e R A M よりも緩やかなデザインルールに適用可能な、プレーナ型の F e R A M に、この発明の強誘電体キャパシタを適用させた場合を例に挙げて説明する。

【0 1 0 6】

先ず、図 1 0 に示す半導体装置 5 0 0 の説明に先立ち、図 1 1 を参照してこの実施の形態の半導体装置 5 0 0 について説明する。

【0 1 0 7】

図 1 1 に示すように、この実施の形態の半導体装置 5 0 0 が有するメモリセル 3 0 0 は、トランジスタ 2 0 及び強誘電体キャパシタ 9 0 を具えている。トランジスタ 2 0 は、第 1 の実施の形態と場合と同様に、アクティブ領域 3 0 内に、ワード線であるゲート電極 2 2 を挟むような位置に形成された一対の不純物拡散領域であるソース電極 2 4 及びドレイン電極 2 6 を具えている。ドレイン電極 2 6 は、ビット線コンタクト 3 2 を介してビット線 5 5 と電氣的に接続されている。ソース電極 2 4 は、コンタクトプラグ 3 7 を介して後述する配線層 3 9 の一端と電氣的に接続されている。強誘電体キャパシタ 9 0 は、プレート線としてライン状にパターニングされた下部電極膜 9 2 上に、同じくライン状にパターニングされた強誘電体膜 9 4 、及び各メモリセル毎に島状に設けられた上部電極膜 9 6 が順次積層された構造を有している（詳細後述）。また、上部電極膜 9 6 は、配線層 3 9 の他端とコンタクト 4 0 を介して電氣的に接続されている。

【0 1 0 8】

続いて、この実施の形態の半導体装置 5 0 0 について、図 1 0 を参照して詳細に説明する。

【0 1 0 9】

図 1 0 に示すように、トランジスタ 2 0 は、第 1 の実施の形態の場合と同様に

、シリコン基板 12 上に形成されたゲート電極 22 と、シリコン基板 12 のうちゲート電極 22 を挟む位置に形成されたソース電極 24 及びドレイン電極 26 とを具えている。絶縁分離膜 19 は隣り合うトランジスタ同士を絶縁分離している。また、トランジスタ 20 は、シリコン基板 12 上に形成されその表面が平坦化されたシリコン酸化膜 13 中に埋設されている。また、ソース電極 24 及びドレイン電極 26 は、シリコン酸化膜 13 に形成されたコンタクトプラグ 37 及びビット線コンタクト 32 とそれぞれ電氣的に接続されている。これらコンタクトプラグ 37 及びビット線コンタクト 32 は、シリコン酸化膜 13 に形成されたコンタクトホール 33 にタングステンの導電材料を充填して形成されている。

【0110】

続いて、この実施の形態のキャパシタ 90 は、酸化チタンからなる密着層 11 上に、シリコン基板 12 側から、下部電極膜 92 と、常誘電体膜 93 と、強誘電体膜 94 と、上部電極膜 96 とを具えている。下部電極膜 92 は、板状の下側部（以下、単に板状部と称する。）92a の主表面に凸部 92b が設けられてた構造である。板状部 92a は、シリコン基板 12 側から、イリジウム膜 921 及び酸化イリジウム膜 922 が順次に設けられた積層構造を有している。また、凸部 92b は白金で形成されている。常誘電体膜 93 は、凸部 92b の周囲を埋め込むように主表面 a を覆い、かつ常誘電体膜 63 の表面が凸部 92b の頂面 b と実質的に同一面位置となるように設けられている。この常誘電体膜 93 は、シリコン酸化膜やシリコン窒化膜で形成されている。強誘電体膜 94 は、凸部 92b の頂面 b 上から、常誘電体膜 93 のうち板状部 92a の主表面 a と対向すなわち対面する領域に亘って設けられていて、タンタル酸ストロンチウムビスマスで形成されている。上部電極膜 96 は、強誘電体膜 94 上に、頂面 b と対向する領域から非対向な領域、すなわち正対領域から非正対領域に亘って設けられていて、白金で形成されている。

【0111】

この構成例における下部電極膜の板状部 92a は、プレート線を兼ねているためそのほかの強誘電体キャパシタの下部電極膜の板状部と共通であり、よって、ライン状に形成されている。強誘電体膜 94 も、板状部 92b と対向するように

同様にライン状に形成されている。一方、これらに対して上部電極膜 96 は、各強誘電体キャパシタの凸部を覆うように島状に個別形成されている（図 11 参照）。

【0112】

ここでの下部電極膜 92 も、第 1 の実施の形態と同様に、このように凸部 92b による段差を具えた構造であり、凸部 92b の頂面 b は、X 方向の長さ及び Y 方向の長さがともに板状部 92a の主表面 a よりも小さい。また、板状部 92a（921、922）、常誘電体膜 93、強誘電体膜 94 及び上部電極膜 96 のうち、プレート線を兼ねている板状部 92a の延在方向に平行なそれぞれの端面（e（e1、e2）、f、g 及び h）で構成される強誘電体キャパシタ 90 の側壁面 J は、実質的に非凹凸面となっている。

【0113】

強誘電体キャパシタ 90 を覆う絶縁膜であるシリコン酸化膜 16 には、上部電極膜 96、コンタクトプラグ 37 及びビット線コンタクト 32 の一部を露出させるコンタクトホール 23 が形成されている。そして、上部電極膜 96 とソース電極 24 とは、このコンタクトホール 23 にアルミニウムを埋め込んで設けられた配線層 39 を介して電氣的に接続されている。また、ドレイン電極 26 は、同様にコンタクトホール 23 にアルミニウムを埋め込んで設けられたビット線コンタクト 32 介して、ビット線 55 と電氣的に接続されている。また、プレート線コンタクト（不図示）は、プレート線を兼ねる板状部 92b 上にコンタクト用に形成された凸部と電氣的に接続されるように、強誘電体膜 94 の一部にコンタクトホールを開口して設けてある。

【0114】

続いて、図 12 を参照して、この半導体装置 500 の製造方法につき説明する。

【0115】

先ず、第 1 の実施の形態で説明した方法と同様の方法で、トランジスタ形成工程及び絶縁膜形成工程を行う。但し、この構成例では、トランジスタ形成工程において、複数のトランジスタを形成するものとする。

【0116】

続いて、プラグ形成工程として、この実施の形態では、シリコン酸化膜13に対してフォトリソグラフィ工程及びエッチング工程を順次行って、ソース電極24及びドレイン電極26に達するコンタクトホール33をそれぞれ開口する。その後、各々のコンタクトホール14内にCVD法によってタンゲステンを埋め込んだ後、当該タンゲステン層に対して、タンゲステン層の頂面がシリコン酸化膜13の表面と実質的に同一面位置となるまでCMPを行い、コンタクトプラグ37及びビット線コンタクト32を各々形成する。

【0117】

次に、この実施の形態では、下部電極膜形成工程を以下の手順で行う。

【0118】

まず、シリコン酸化膜13上に、反応性スパッタ法により酸化チタン膜からなる密着層11を膜厚70nmで形成する。

【0119】

続いて、密着層11上に、スパッタ法によりイリジウム膜91を膜厚100nm、反応性スパッタ法により酸化イリジウム膜97を膜厚50nm、及びスパッタ法により白金膜98を膜厚100nmで、後工程においてプレート線形状にパターニング可能な大きさに順次形成して、下部電極膜形成用の板状の導電膜99を形成する(図12(A))。

【0120】

続いて、この導電膜99のうち白金膜98の主表面の一部が下部電極膜の凸部92bの頂面b(図10参照)として、酸化イリジウム膜97上に複数形成されるように、フォトリソグラフィ工程及びエッチング工程を順次行う。エッチングガスには、例えば、塩素/アルゴンの混合ガス系を用い、酸化イリジウム膜97が露出するまでエッチングを行う。

【0121】

これにより、イリジウム膜91及び酸化イリジウム97からなる板状部95の主表面a上に、各強誘電体キャパシタに対応する白金膜の凸部92bによる段差が複数設けられた下部電極膜102が得られる(図12(B))尚、図中には、1

つの凸部 92b のみ図示されている。)。

【0122】

その後、常誘電体膜形成工程として、各凸部 92b の周囲の板状部 95 の主表面 a を覆い、かつその表面が各々の凸部 92b の頂面 b と実質的に同一面位置となる厚みに常誘電体膜を形成する。

【0123】

具体的には、下部電極膜 102 上に、TEOS を用いたプラズマ CVD 法によってシリコン酸化膜を膜厚 150 nm、O₃-TEOS を用いたプラズマ CVD 法によってシリコン酸化膜を膜厚 250 nm、及び CVD 法によって塗布ガラスを膜厚 500 nm で順次堆積させて積層膜（不図示）を形成する。

【0124】

その後、この積層膜に対して板状部 95 上のすべての凸部 92b の頂面 b が露出するまで全面エッチバックを行って、常誘電体膜であるシリコン酸化膜 101 を形成する（図 12 (C)）。

【0125】

続いて、強誘電体膜形成工程として、スピコート法を用いて各々の凸部 92b の頂面 b 上からシリコン酸化膜 101 上に亘って連続するように、タンタル酸ストロンチウムビスマス前駆体溶液を塗布する。塗布液が乾燥した後、この塗布液に対して 700℃ で 1 分間の急速加熱アニール (RTA) を酸素雰囲気中に行って、膜厚 50 nm のタンタル酸ストロンチウムビスマス膜を形成する。その後、この塗布工程及び RTA 工程を 2 回繰り返し行った後に 750℃ で 1 分間の RTA を酸素雰囲気中に行い、最終的に膜厚が 150 nm のタンタル酸ストロンチウムビスマス膜 104 を形成する。

【0126】

次に、上部電極膜形成工程として、スパッタ法によって、タンタル酸ストロンチウムビスマス膜 104 上で各々の頂面 b と対向する領域から非対向な領域、すなわち正対する領域（正対領域）から当該正対領域から横方向にずれた領域（非正対領域）に亘って、連続するように上部電極膜 106 である白金膜を 100 nm の膜厚に形成する（図 13 (A)）。

【0 1 2 7】

続いて、エッチング工程として、タンタル酸ストロンチウムビスマス膜 1 0 4 に対してエッチングを行い、タンタル酸ストロンチウムビスマス膜 1 0 4 のうち、凸部 9 2 b の上側部分と、シリコン酸化膜 1 0 1 と接触しかつ当該上側部分を所定幅で連続して取り囲む部分とを、フォトリソグラフィ工程及びエッチング工程を順次行って残存させる。尚、図 1 3 (A) の断面図中、破線 e で挟まれた領域がエッチング工程後に残存する領域である。

【0 1 2 8】

こうして、上部電極膜 1 0 6、強誘電体膜 1 0 4、常誘電体膜 1 0 1 及び下部電極膜 9 5 の 4 つの膜に対してエッチングを一括して行い、所定幅を有するプレート線を兼ねている板状部 9 2 a がライン状に形成された構造体 1 1 0 を形成する(図 1 3 (B))。尚、この構成例では、エッチング工程後の板状部 9 2 a、常誘電体膜 9 3、強誘電体膜 9 4 及び上部電極膜 9 6 のうち、板状部 9 2 a の延在方向に平行なそれぞれの端面(e (e 1, e 2)、f、g 及び h)で構成される強誘電体キャパシタ 9 0 の側壁面 J は、実質的に非凹凸面となっている。

【0 1 2 9】

続いて、上部電極膜分離工程では、構造体 1 1 0 の上部電極膜 1 0 8 に対してエッチングを行って、各々の凸部 9 2 b に対応する個別の島状の上部電極膜 9 6 に分離して、各強誘電体キャパシタ 9 0 を得る(図 1 3 (C))。

【0 1 3 0】

強誘電体キャパシタ 9 0 の形成後は、CVD 法によって強誘電体キャパシタ 9 0 をシリコン酸化膜 1 6 で埋設する。その後、シリコン酸化膜 1 6 に対してフォトリソグラフィ工程及びエッチング工程を順次行って、コンタクトプラグ 3 7、ビット線コンタクト 3 2 及び上部電極膜 9 6 に達するコンタクトホール 2 3 をそれぞれ開口する。続いて、CVD 法によって、島状の上部電極膜 9 6 と当該島状の上部電極膜 9 6 に対応するコンタクトプラグ 3 7 とを電氣的に接続する配線層 3 9、及びビット線コンタクト 3 2 と電氣的に接続するビット線 5 5 をそれぞれアルミニウムで形成して、半導体装置 5 0 0 を得る(図 1 0 参照)。

【0 1 3 1】

上述した説明から明らかなように、この実施の形態では、強誘電体キャパシタの強誘電体膜の側壁に発生するダメージ領域は、強誘電体キャパシタの有効領域外であるスペーサ領域に存在している。

【0132】

さらに、この実施の形態では、強誘電体キャパシタを緩やかなデザインルールで形成することができるため、上述した各実施の形態よりもダメージ領域と強誘電体キャパシタの有効領域との間を充分離間させることができる。

【0133】

従って、高い残留分極量を有する高信頼性な強誘電体キャパシタを得ることができ、よって、高信頼性な半導体装置を実現することができる。

【0134】

以上、この発明の実施の形態における条件等は、上述の組合せのみに限定されない。よって、任意好適な段階において好適な条件を組み合わせることで、この発明を適用させることができる。

【0135】

例えば、下部電極膜材料、常誘電体膜材料、強誘電体膜材料及び上部電極膜材料は上述した材料のみに限定されず、目的や設計に応じて任意好適な材料を選択することができる。

【0136】

【発明の効果】

上述した説明から明らかなように、この発明によれば、強誘電体キャパシタのうち実効的に機能する領域すなわち有効領域にあるキャパシタは、下部電極膜における凸部、当該凸部と対向する上部電極膜、及びこれら膜に挟まれた強誘電体膜によって構成される強誘電体キャパシタである。

【0137】

その結果、強誘電体膜の側壁は強誘電体キャパシタの有効領域外に位置しているため、強誘電体膜の側壁に発生するダメージ領域によって強誘電体特性が劣化するのを抑制することができる。

【0138】

従って、高信頼性な強誘電体キャパシタが得られ、よって、高信頼性な半導体装置を実現することができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施の形態の半導体装置の主要部の概略断面図である。

【図 2】

この発明の第 1 の実施の形態の半導体装置の概略平面図である。

【図 3】

(A) から (C) は、この発明の第 1 の実施の形態の半導体装置の製造工程図である。

【図 4】

(A) 及び (B) は、この発明の第 1 の実施の形態の半導体装置の製造工程図である。

【図 5】

(A) から (C) は、この発明の第 1 の実施の形態の強誘電体キャパシタの説明に供する図である。

【図 6】

この発明の第 2 の実施の形態の半導体装置の主要部の概略断面図である。

【図 7】

(A) から (C) は、この発明の第 2 の実施の形態の半導体装置の製造工程図である。

【図 8】

この発明の第 3 の実施の形態の半導体装置の主要部の概略断面図である。

【図 9】

(A) から (C) は、この発明の第 3 の実施の形態の半導体装置の製造工程図である。

【図 1 0】

この発明の第 4 の実施の形態の半導体装置の主要部の概略断面図である。

【図 1 1】

この発明の第 4 の実施の形態の半導体装置の概略平面図である。

【図 1 2】

(A) から (C) は、この発明の第 4 の実施の形態の半導体装置の製造工程図である。

【図 1 3】

(A) から (C) は、この発明の第 4 の実施の形態の半導体装置の製造工程図である。

【符号の説明】

- 1 0、1 0 0、2 0 0、5 0 0：半導体装置
- 1 1：密着層
- 1 3、1 6：シリコン酸化膜
- 1 4、2 3、3 3：コンタクトホール
- 1 7：バリアメタル
- 1 9：絶縁分離膜
- 2 0：M O S 型電界効果トランジスタ
- 2 2：ゲート電極（制御電極）
- 2 4：ソース電極（第 1 主電極）
- 2 6：ドレイン電極（第 2 主電極）
- 3 0：アクティブ領域
- 3 2：ビット線コンタクト
- 3 4：キャパシタコンタクト（プラグ）
- 3 6：プレート線コンタクト
- 3 7：コンタクトプラグ（プラグ）
- 3 9：配線層
- 4 0：コンタクト
- 5 0、3 0 0：強誘電体メモリセル
- 5 5：ビット線
- 5 7：プレート線
- 6 0、7 0、8 0、9 0：強誘電体キャパシタ

61、66、96、106、108: 上部電極膜

62、67、72、78、82、88、92、102: 下部電極膜

62a、67a、71a、72a、82a、86、92a、95: 下部電極膜

の板状部

62aa: 板状部のうち常誘電体膜63と対向する部分

62b、72b、82b、92b: 下部電極膜の凸部

63、68、93、101: シリコン酸化膜 (常誘電体膜)

64、69、94、104: タンタル酸ストロンチウムビスマス膜 (強誘電体膜)

64a: 強誘電体膜のうち凸部62bと上部電極膜66aとに挟まれる部分

64b: 強誘電体膜のうち板状部62aaと上部電極膜66bとに挟まれる部分

65、74、84、99: 導電膜

66a: 上部電極膜のうち凸部62bと対向する部分

66b: 上部電極膜のうち常誘電体膜63と対向する部分

71、81、91、821、921: イリジウム膜

73、83、97、822、922: 酸化イリジウム膜

85、98: 白金膜

110: 構造体

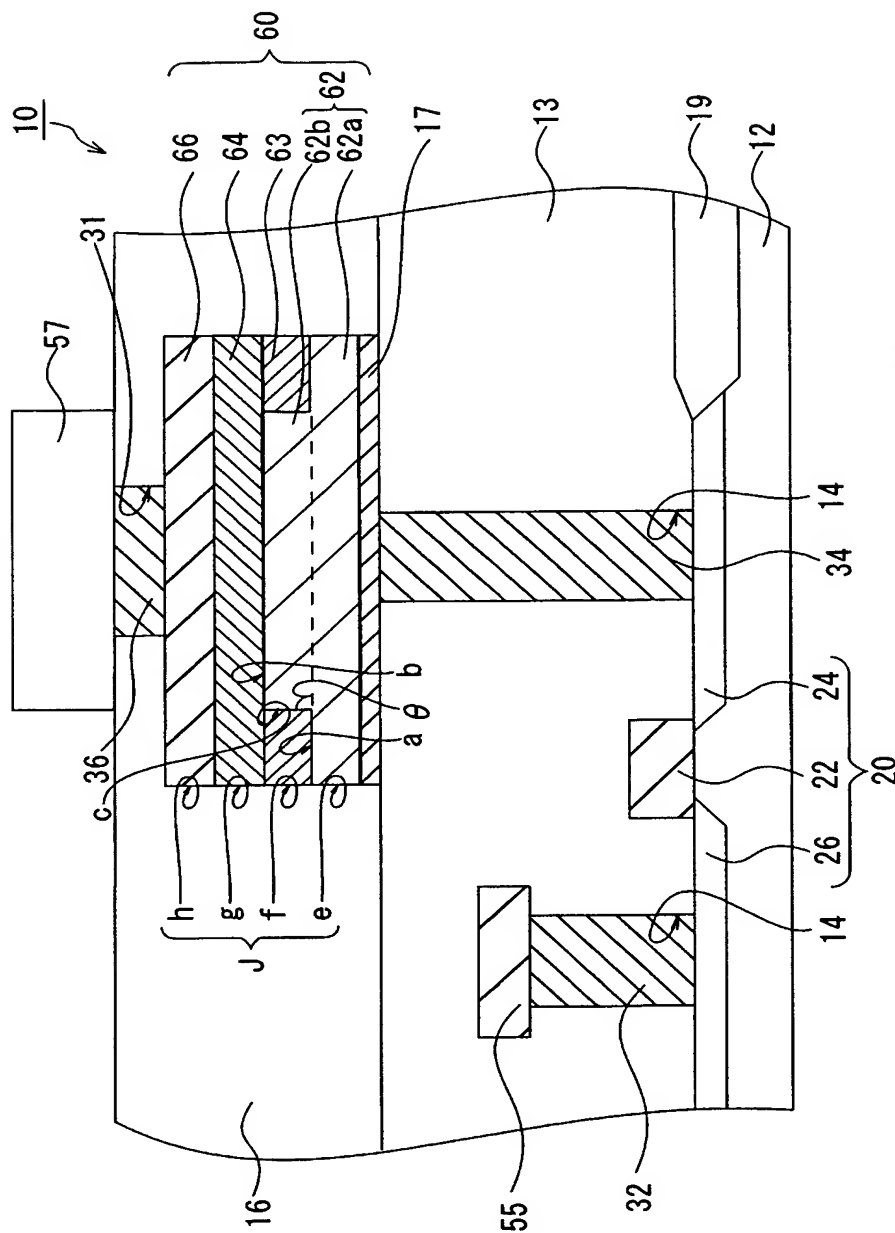
601: 有効領域

602: スペース領域

【書類名】

図面

【図 1】



10:半導体装置 13,16:シリコン酸化膜 14:コンタクトホール 17:バリアマタル 19:絶縁分離膜
20:トランジスタ 22:ゲート電極 24:ソース電極 26:ドレイン電極 32:ビット線コンタクト
34:キャパシタコンタクト 36:プレート線コンタクト 55:ビット線 57:プレート線
60:強誘電体キヤパシタ 62:下部電極膜 62a:板状部 62b:凸部 63:シリコン酸化膜
64:タンタル酸ストロンチウムビスマス膜 66:上部電極膜

20: トランジスタ 22: ゲート電極 24: ソース電極 26: ドレイン電極 32: ビット線コンタクト

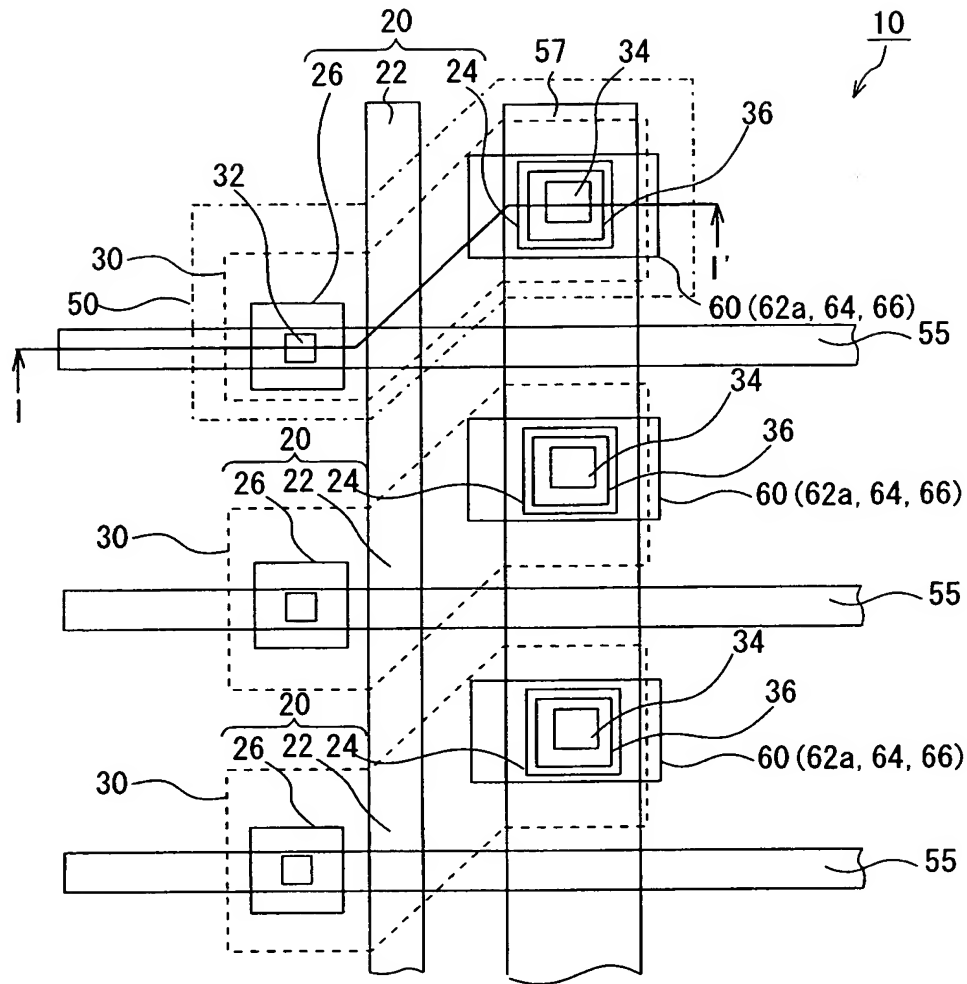
34:キャパシタコンタクト 36:プレート線 55:ビット線 57:プレート線

60: 強誘電体キヤパシタ 62: 下部電極膜 62a: 板状部 62b: 凸部 63: シリコン酸化膜

66:上部電極膜

この発明の第1の実施の形態の半導体装置

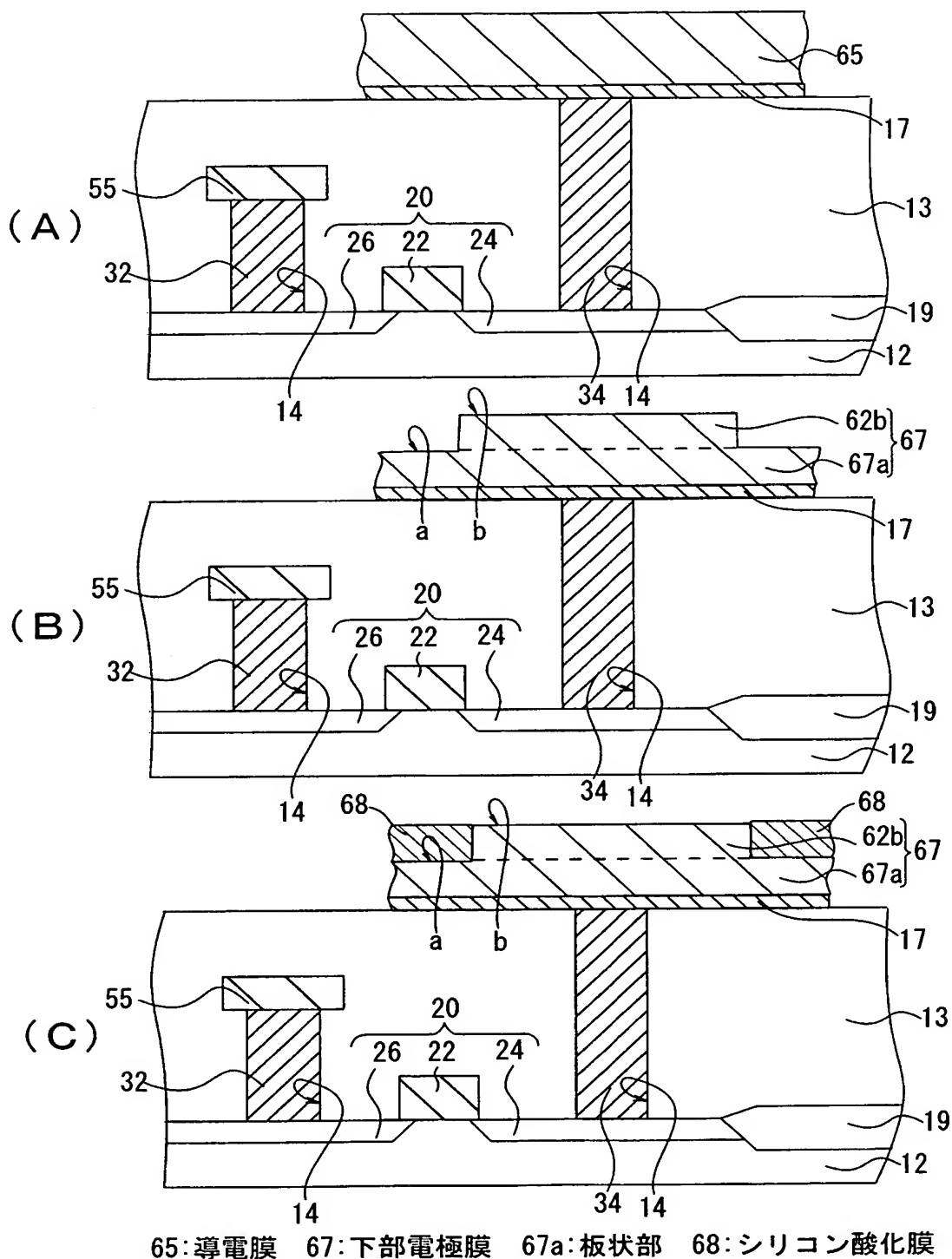
【図 2】



30: アクティブ領域 50: 強誘電体メモリセル

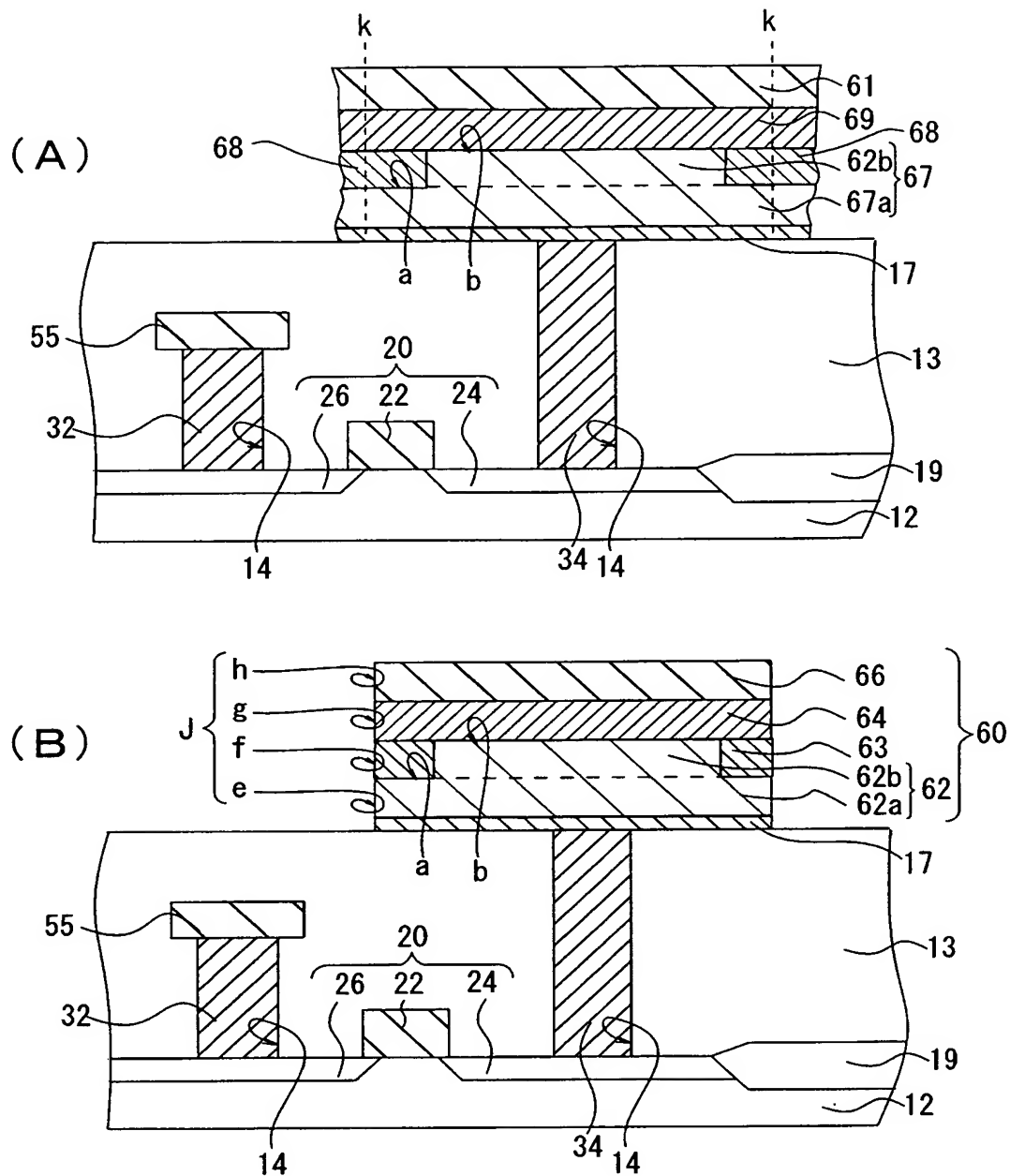
この発明の第 1 の実施の形態の半導体装置

【図 3】



この発明の第 1 の実施の形態の半導体装置の製造工程図

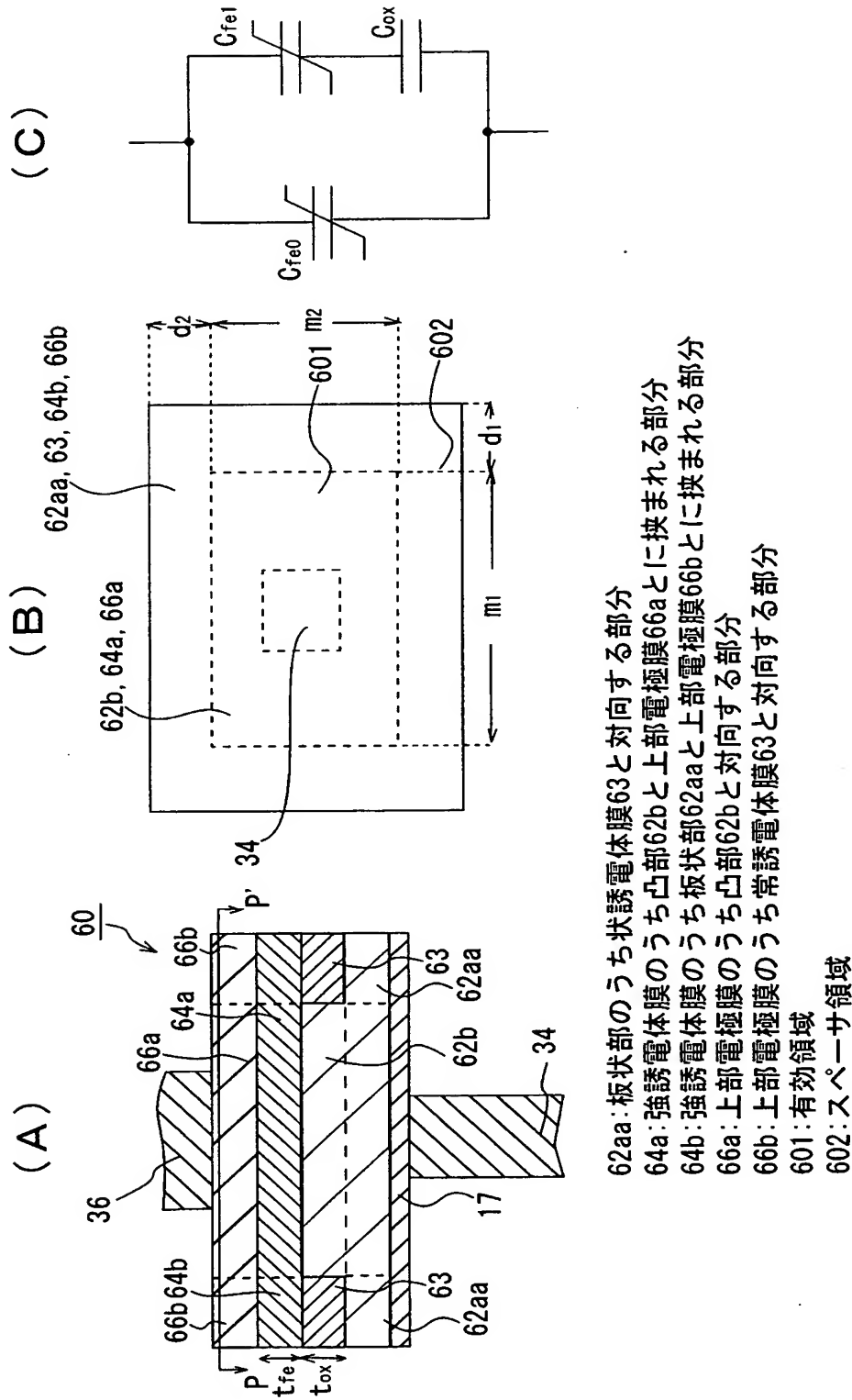
【図 4】



61:上部電極膜 69:タンタル酸ストロンチウムビスマス膜

この発明の第 1 の実施の形態の半導体装置の製造工程図

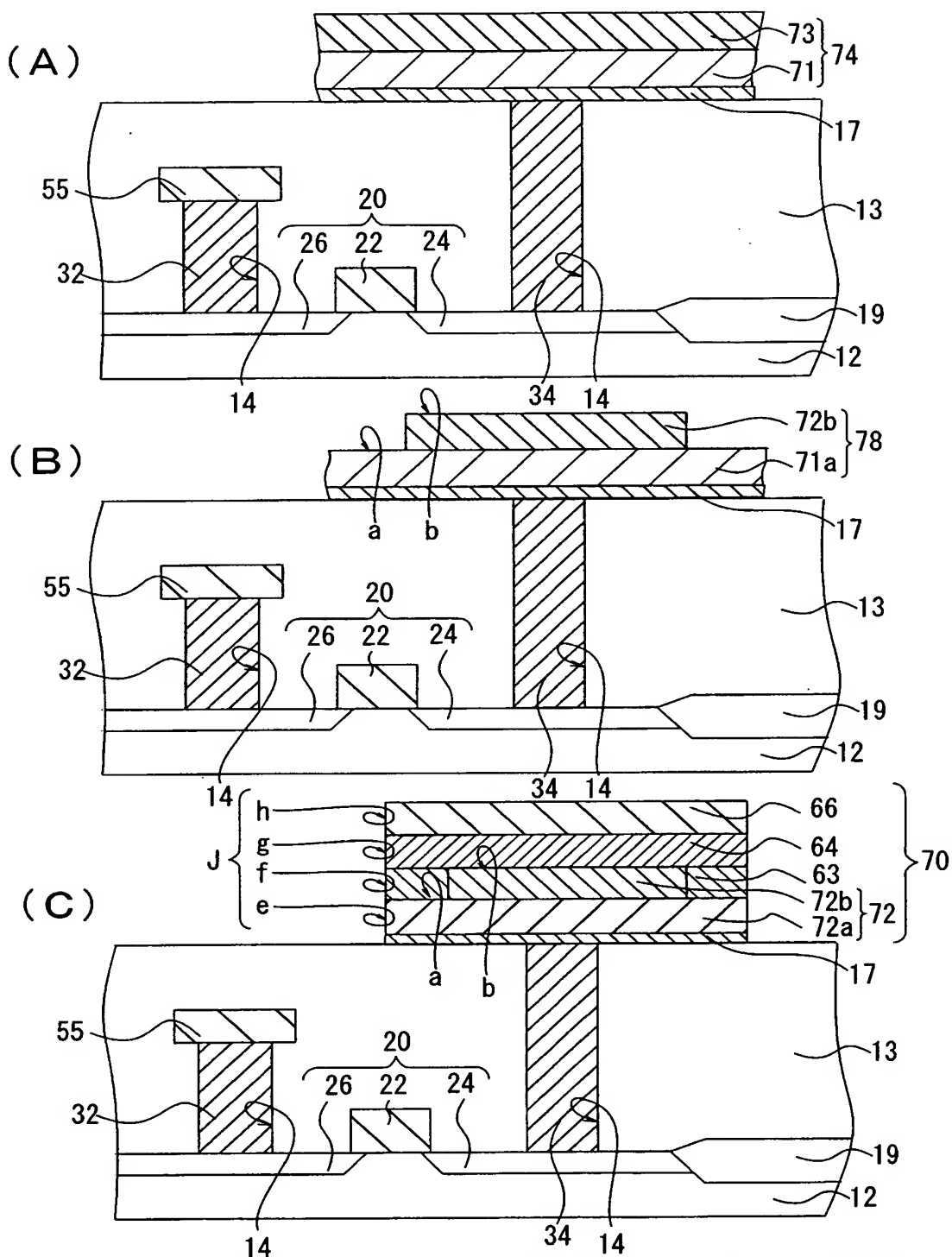
【図 5】



62aa: 板状部のうち誘電体膜63と対向する部分
 64a: 強誘電体膜のうち凸部62bと上部電極膜66aとに挟まれる部分
 64b: 強誘電体膜のうち板状部62aaと上部電極膜66bとに挟まれる部分
 66a: 上部電極膜のうち凸部62bと対向する部分
 66b: 上部電極膜のうち常誘電体膜63と対向する部分
 601: 有効領域
 602: スペース領域

この発明の第1の実施の形態の形態の強誘電体キャパシタの説明に供する図

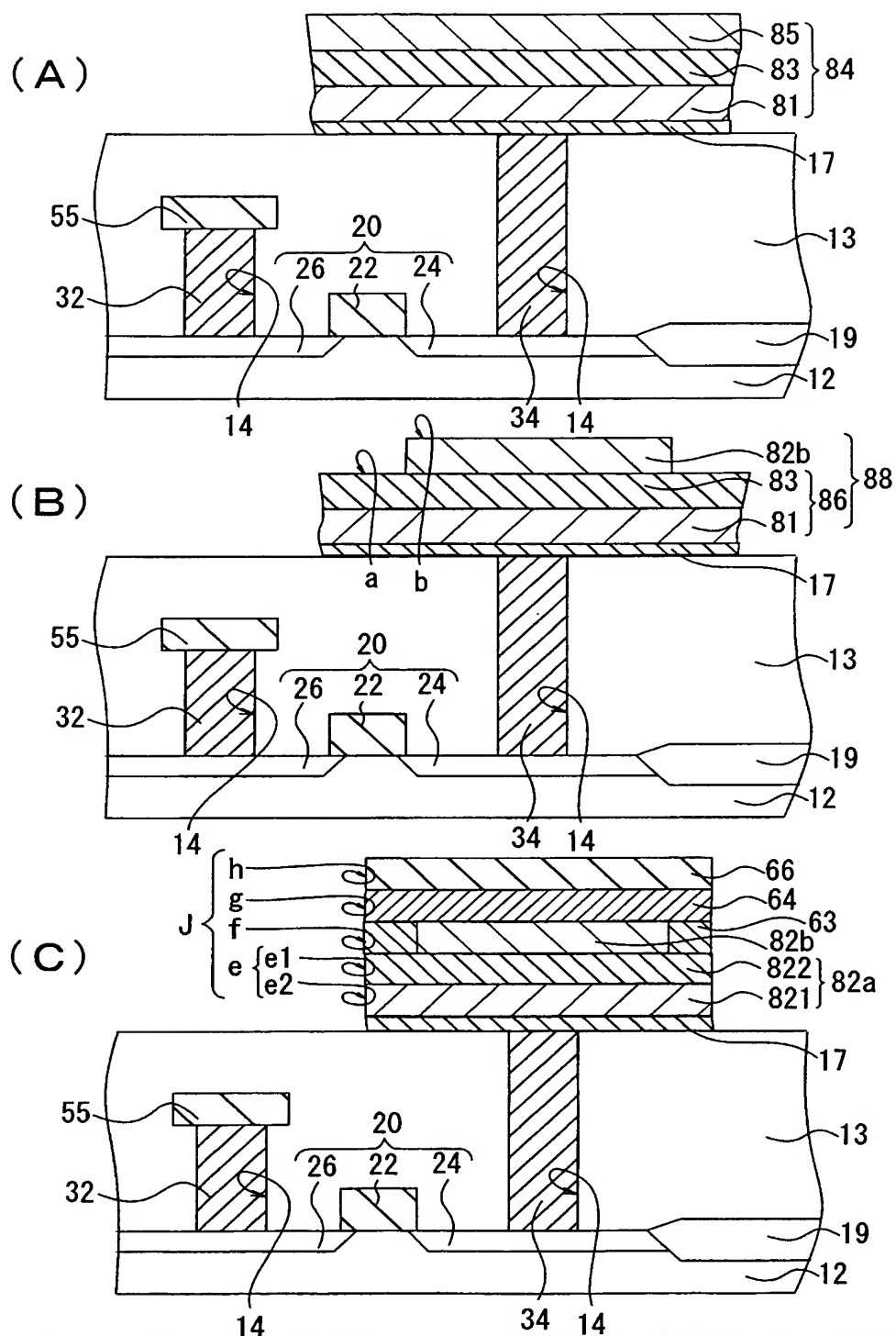
【図 7】



71:イリジウム膜 71a:板状部 73:酸化イリジウム膜 74:導電膜
78:下部電極膜

この発明の第2の実施の形態の半導体装置の製造工程図

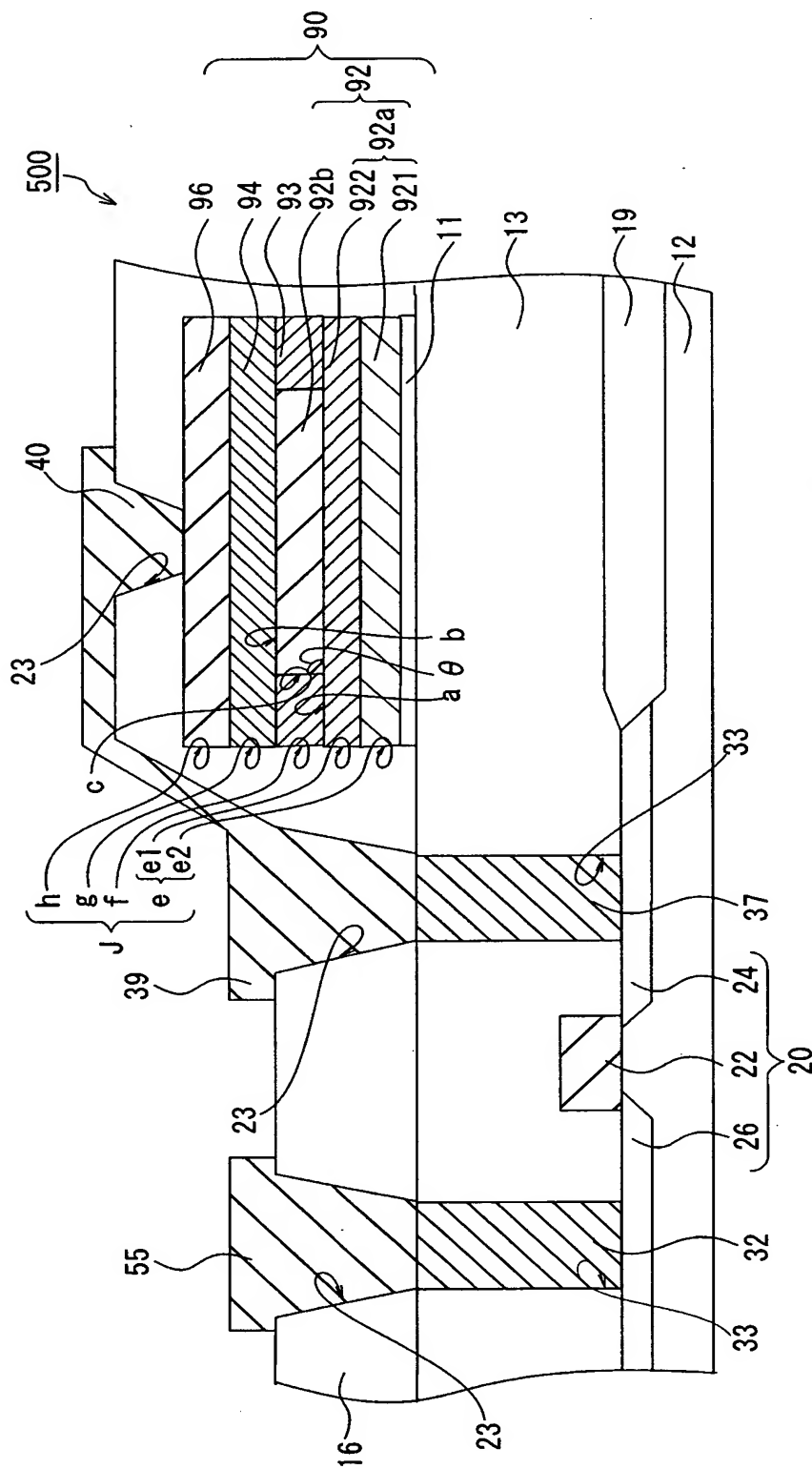
【図 9】



81:イリジウム膜 83:酸化イリジウム膜 84:導電膜 85:白金膜
 86:板状部 88:下部電極膜

この発明の第3の実施の形態の半導体装置の製造工程図

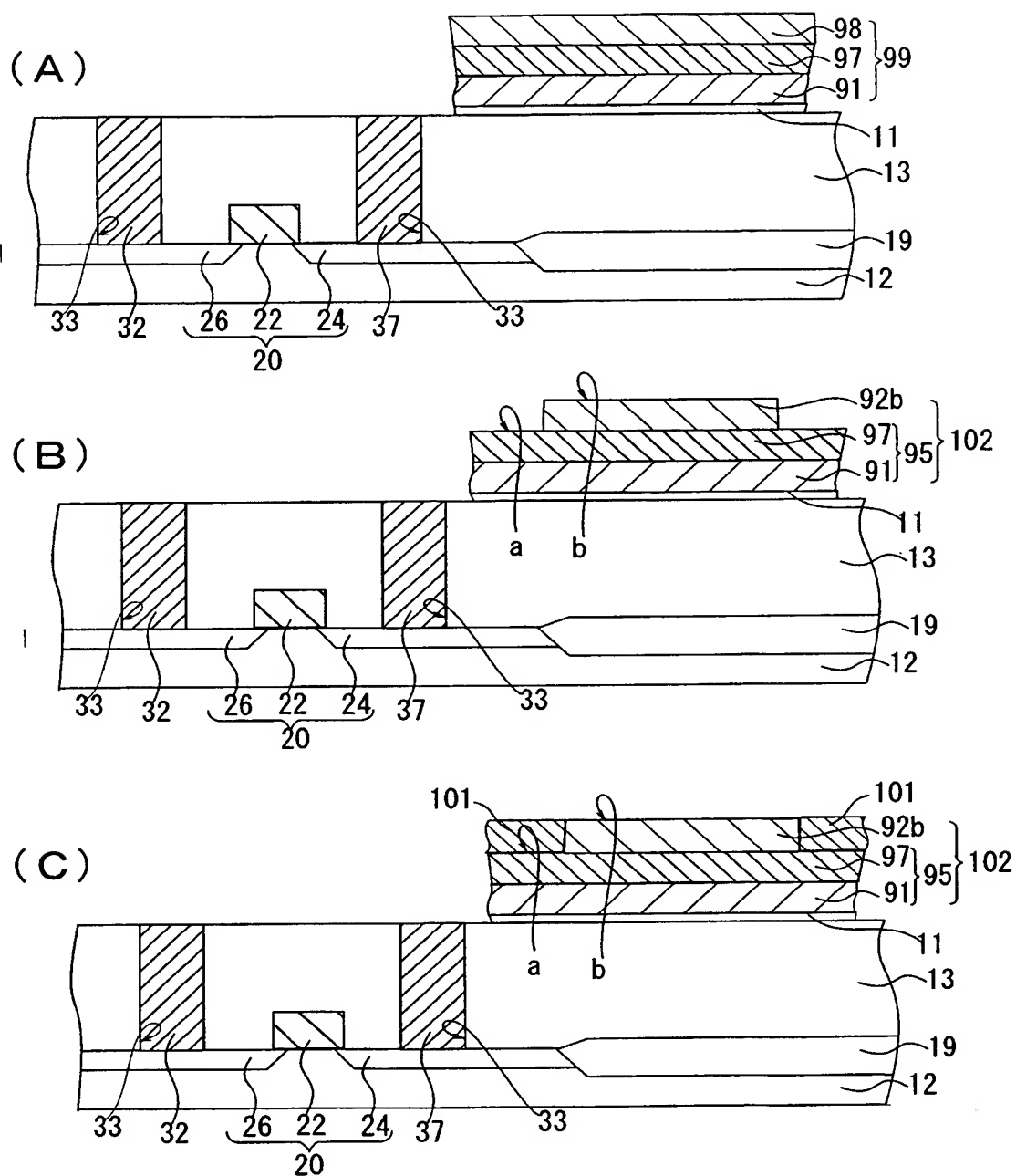
【図 10】



11:密着層 23, 33:コンタクトホール 37:コンタクトプラグ 39:配線層 90:強誘電体キャパシタ
 92:下部電極膜 92a:板状部 92b:凸部 93:シリコン酸化膜 94:タンタル酸ストロンチウムビスマス膜
 96:上部電極膜 500:半導体装置 921:イリジウム膜 922:酸化イリジウム膜

この発明の第 4 の実施の形態の半導体装置

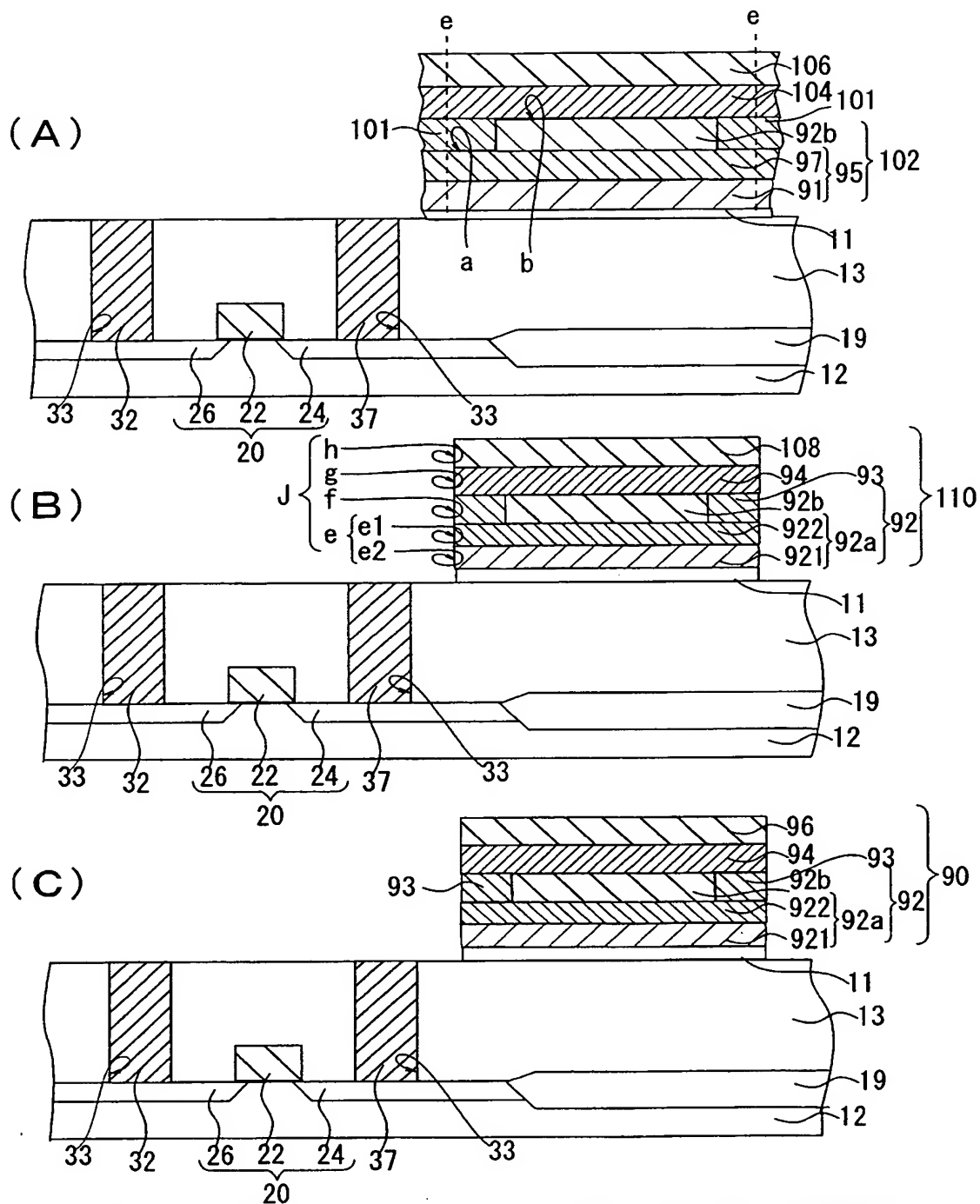
【図 12】



91:イリジウム膜 95:板状部 97:酸化イリジウム膜 98:白金膜
 99:導電膜 101:シリコン酸化膜 102:下部電極膜

この発明の第4の実施の形態の半導体装置の製造工程図

【図 13】



104: タンタル酸ストロンチウムビスマス膜 106, 108: 上部電極膜
110: 構造体

この発明の第 4 の実施の形態の半導体装置の製造工程図

【書類名】 要約書

【要約】

【課題】 強誘電体キャパシタの強誘電体膜の側壁に発生するダメージ領域を、強誘電体キャパシタの有効領域外に形成する。

【解決手段】 主表面 a を有する板状部 6 7 a、及び主表面上に設けられた、頂面 b を有する凸部 6 2 b を具える下部電極膜 6 7 を形成する。この凸部の周囲の、板状部の主表面 a を覆い、かつその表面が頂面 b と実質的に同一面位置となる厚みで常誘電体膜 6 8 を形成する。露出している頂面 b 上から、常誘電体膜上のうち、板状部の主表面 a と常誘電体膜を介して対向する領域に亘って、強誘電体膜 6 9 を形成する。この強誘電体膜上のうち、頂面 b と対向する領域から、板状部の主表面 a と常誘電体膜及び強誘電体膜を介して対向する領域に亘って、上部電極膜 6 1 を形成する。強誘電体膜に対しエッチングを行って、強誘電体膜のうち、凸部の上側部分と、常誘電体膜と接触しかつ当該上側部分を所定幅で取り囲む部分とを残存させる。

【選択図】 図 4

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 2 4 7 7 2
受付番号	5 0 3 0 0 1 6 1 4 5 9
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 2 月 3 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月31日
-------	-------------

次頁無

特願 2 0 0 3 - 0 2 4 7 7 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社